

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-278498

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

G09G 3/20
G02F 1/133
G02F 1/1362
G09F 9/30
G09F 9/35
G09G 3/36

(21)Application number : 2001-153097

(71)Applicant : SHARP CORP

(22)Date of filing : 22.05.2001

(72)Inventor : NUMAO KOJI

(30)Priority

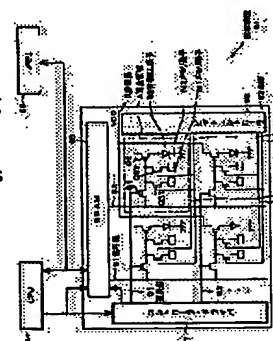
Priority number : 2001003051 Priority date : 10.01.2001 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device in which the number of wiring in a display area can be reduced, and also whose power consumption can be reduced in realizing multi-gradation display.

SOLUTION: The memory element M is composed of M1 and M2 corresponding to gradations to be displayed; 2nd active elements Q31, Q32 individually corresponding thereto, and bit selection lines B1-B6 routed in common across control input ends of the elements Q31, Q32 of an equal bit order are arranged; data are written during a non-selection period of a selection line G; and during a selection period, the bit selection lines B1-B6 are selected only for a period of a weighted bit.



LEGAL STATUS

[Date of request for examination]

07.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3618687

[Date of registration]

19.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An electro-optics component is arranged in each field divided in the shape of a matrix, and data are incorporated from a signal line to a memory device through the 1st active component prepared in said each field. In the display which was made to carry out display actuation of said electro-optics component with the output of the memory device The display characterized by preparing two or more said memory devices corresponding to each electro-optics component to the same signal line, and carrying out display actuation of said electro-optics component with the part or all the outputs of each of said memory device.

[Claim 2] In the display with which the data of a signal line are incorporated to a memory device by the 1st active component while being chosen by the selection line, and the electro-optics component was made to perform the display corresponding to the content of storage of the memory device The same signal line is received in said memory device formed corresponding to each electro-optics component. The 2nd active component which prepares several bits corresponding to a part of class [at least] of the gradation which should be displayed, and/or image, and is prepared by corresponding to said each memory device individually, It takes about in common between the control-input edges of the 2nd active component of bit ranking equal to mutual. The data which mind said 1st active component while being alternatively chosen between each bit ranking and choosing said selection line are made to store in a corresponding memory device. The period when said selection line is not chosen is a display characterized by including the bit-select line which makes the corresponding data of a memory device output to an electro-optics component.

[Claim 3] In the display with which the data of a signal line are incorporated to a memory device by the 1st active component while being chosen by the selection line, and the electro-optics component was made to perform the display corresponding to the content of storage of the memory device While preparing several bits corresponding to a part of class [at least] of the gradation which should display said memory device formed corresponding to each electro-optics component to the same signal line, and/or image The 3rd active component which said the 1st active component and selection line also correspond to each memory device individually, forms them, and is prepared by corresponding to said each memory device individually, The display characterized by taking about in common between the control-input edges of the 3rd active component of bit ranking equal to mutual, being alternatively chosen between each bit ranking, and including the bit-select line which makes the corresponding data of a memory device output to an electro-optics component.

[Claim 4] In the display with which the data of a signal line are incorporated to a memory device by the 1st active component while being chosen by the selection line, and the electro-optics component was made to perform the display corresponding to the content of storage of the memory device While preparing several bits corresponding to a part of gradation [at least] which should display said memory device formed corresponding to each electro-optics component to the same signal line The display characterized by for said the 1st active component and selection line also corresponding to each memory device individually, forming them, and carrying out display actuation of said electro-optics component with the sum output of two or more of said memory devices.

[Claim 5] In the display with which the data of a signal line are incorporated to a memory device by the 1st active component while being chosen by the selection line, and the electro-optics component was made to perform the display corresponding to the content of storage of the memory device. The same signal line is received in said memory device formed corresponding to each electro-optics component. The 2nd active component which prepares several bits corresponding to a part of gradation [at least] which should be displayed, and is prepared by corresponding to said each memory device individually. It takes about in common between the control-input edges of the 2nd active component of bit ranking equal to mutual. The bit-select line which makes the data which said 1st active component while being alternatively chosen between each bit ranking and choosing said selection line store in a corresponding memory device is included. The display characterized by carrying out display actuation of said electro-optics component with the sum output of two or more of said memory devices.

[Claim 6] A display given in any of claims 2-5 characterized by arranging said each electro-optics component in the shape of a matrix, and sharing said bit-select line by contiguity space they are.

[Claim 7] The display according to claim 6 characterized by classifying said bit-select line into two, and arranging in each space dispersedly.

[Claim 8] A display given in any of claims 2-7 characterized by having further a decoding means to decode the select data of said bit-select line they are.

[Claim 9] A display given in any of claims 1-8 characterized by forming said memory device with a ferroelectric thin film capacitor they are.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to what gave the memory function to especially the pixel about the thin display suitably realized as a liquid crystal display, an EL (Electro Luminescence) display, etc.

[0002]

[Description of the Prior Art] In recent years, development of thin displays, such as said liquid crystal display, an EL display, and a FED (Field Emission Device) display, is performed actively. Especially, taking advantage of the lightweight nature and low-power nature, a liquid crystal display and a thin film EL display attract attention as displays, such as a cellular phone and a personal computer of a pocket mold, and are. On the other hand, an increment of the function carried is enhanced and these pocket devices require strongly long duration-ization of the time by the further low-power-izing also from the display not to mention high-capacity-izing of the dc-battery for power sources.

[0003] In order for a low power to perform a gradation display, a memory function is given for every pixel,

the periodic rewrite in the case of displaying the same image is stopped to JP,8-194205,A which is the typical conventional technique as technique for low-power-izing of this display by switching the reference voltage corresponding to that content of storage, and reducing the power consumption of an actuation circuit is shown in it.

[0004] That is, as drawing 17 shows, on the 1st glass substrate, the pixel electrode 1 is arranged in the shape of a matrix, between the pixel electrode 1, the scanning line 2 is arranged in a longitudinal direction, and the signal line 3 is arranged in the lengthwise direction. Moreover, the reference line 4 is arranged at the scanning line 2 and parallel. The memory device 5 mentioned later is formed in the intersection of the scanning line 2 and a signal line 3, and the switching device 6 intervenes between this memory device 5 and the pixel electrode 1.

[0005] Said scanning line 2 is selectively controlled by the scanning-line driver 7 for every 1 vertical period, said signal line 3 is collectively controlled by the signal-line driver 8 for every 1 level period, and said reference line 4 is collectively controlled by the reference line driver 9. Only predetermined distance separates on said 1st glass substrate, opposite arrangement of the 2nd glass substrate is carried out, and the counterelectrode is formed in the opposed face of this 2nd glass substrate. And the liquid crystal which is an electro-optics component is enclosed as a display ingredient between two glass substrates.

[0006] Drawing 18 is the circuit diagram showing the configuration of each pixel section in drawing 17 in a detail. Said memory device 5 holding binary data is formed in the intersection of the scanning line 2 and the signal line 3 which were formed so that it might intersect perpendicularly mutually, and the information currently held at this memory device 5 is outputted through said switching device 6 of three terminals which consist of TFT. The output from said memory device 5 is given to the control-input edge of a switching device 6, the reference voltage V_{ref} of said reference line 4 is given to an end, and the common electrical potential difference V_{com} of said counterelectrode 11 is given to the other end through the liquid crystal layer 10 from said pixel electrode 1. Therefore, according to the output of a memory device 5, the resistance from the end of a switching device 6 to the other end is controlled, and the bias condition of the liquid crystal layer 10 is adjusted.

[0007] With the configuration of this drawing 18, it is used for the memory device 5 using two steps of inverters 12 and 13 which consist of Poly-Si TFT, the memory circuit, i.e., the SUTATIKU mold memory device, of the form by which positive feedback was carried out. If the scan electrical potential difference V_g of said scanning line 2 becomes high-level and this scanning line 2 is chosen, TFT14 will be in switch-on and the signal level V_{sig} given from a signal line 3 will be inputted into the gate terminal of an inverter 12 through this TFT14. It is reversed with an inverter 13, and is reininputted by the gate terminal of this inverter 12, and the data written in the inverter 12 when TFT14 was switch-on in this way return to this inverter 12 by like-pole nature, and the output of this inverter 12 is held until this TFT14 will be in switch-on again.

[0008] moreover — such — Poly-Si TFT — using — a SUTATIKU mold memory device — every pixel —
— ***** — another configuration is indicated by the JP,2-148687,A (JP,2729089,B) number official report which are other conventional techniques. Drawing 19 is the circuit diagram showing the configuration of each pixel section in the conventional technique. Each pixel is controlled by two or more memory cells m_1, m_2, \dots, m_n (drawing 19 $n=4$), the current regulator circuit 21, and the data of each of said memory cells m_1-m_n , is equipped with FET q_1-q_n which create the reference current of said current regulator circuit 21, and the organic EL device 22 driven with the current from said current regulator circuit 21, and consists of this conventional technique. The low electrode control signal v_l is given in common to the memory cells m_1-m_n corresponding to the same pixel, and the n -bit column electrode control signals b_1-b_n are given according to an individual.

[0009] Since a current regulator circuit 21 is the current Miller circuit which used FET 23 and 24, the current which the current which flows an organic EL device 22 is mutually determined by said reference current which is the total of a current which flows FET q_1-q_n which were connected to juxtaposition,

and flows this FET_{q1-qn} will be determined by the data saved at memory cells m_{1-mn}.

[0010] Each memory cells m_{1-mn} are constituted as drawing 20 R> 0 shows. Namely, the inverter 25 for an input controlled by said low electrode control signal v_l, The output of the inverter 26 for maintenance, the inverter 27 for feedback, and the said low electrode control signal v_l and the inverter 25 for an input is answered. The gate of the inverter 26 for said maintenance is equipped with the MOS transmission gates 28 and 29 which control whether said column electrode control signals b_{1-bn} are inputted and whether the output of the inverter 27 for feedback is returned, and it is constituted. Therefore, the output of the inverter 26 for maintenance has memory device composition of the SUTATIKU mold which returns to the gate of the inverter 26 for this maintenance through the inverter 27 and the MOS transmission gate 29 for feedback.

[0011] Furthermore, the circuitry of the liquid crystal display which has arranged the image memory besides a display is indicated by JP,2000-227608,A as other conventional techniques. Drawing 21 is the block diagram of the display substrate of the conventional technique. With this conventional technique, the display 31 is connected to the image memory 33 through the line buffer 32. The memory cell has composition of the random access memory arranged in the shape of a matrix, and said image memory 33 has the bit map configuration which has the same address space as the pixel of a display 31.

[0012] An address signal 34 is inputted into the memory line selection circuitry 36 and the column selection circuitry 37 through the memory control circuit 35. The memory cell specified by said address signal 34 is chosen by the column line and line line which are not illustrated, and an indicative data 38 is written in the memory cell. In this way, the written-in indicative data 38 is outputted to a line buffer 32 as data for one line containing a selection pixel by the address signal inputted into the memory line selection circuitry 36. Since the line buffer 32 is connected to the signal wiring of a display 31, this read indicative data 38 is outputted to the signal wiring which is not illustrated.

[0013] On the other hand, line selection wiring which said address signal 34 changed said address signal 34 among line selection wiring which it is inputted also into the address line conversion circuit 39 again, and a display 31 does not illustrate, and was obtained is chosen by the display line selection circuitry 40, and a selection electrical potential difference is impressed. The indicative data 38 in an image memory 33 is written in a display 31 by such actuation.

[0014] Drawing 22 is the circuit diagram showing an example of the circuitry of each pixel in said display 31. The indicative data 38 which the control TFT₄₂ connected to this line selection wiring 41 is controlled by the line selection wiring 41 being chosen by said display line selection circuitry 40, and is given from said line buffer 32 through signal wiring 43 is held at the capacitor 45 formed between the common wiring 44 and said control TFT₄₂, and a flow / non-switch-on of actuation TFT₄₆ are controlled by terminal voltage of this capacitor 45. It is determined whether the electrical potential difference given from the liquid crystal criteria wiring 48 is indirectly impressed to the pixel electrode 47 through the capacitor 49 formed between the terminals of whether it is impressed directly and said actuation TFT₄₆ by whether said actuation TFT₄₆ will be in switch-on or it will be in non-switch-on.

[0015] Moreover, drawing 23 is the circuit diagram showing other examples of the circuitry of each pixel in said display 31. With this configuration, the analog switch 51 is used as TFT which drives liquid crystal. This analog switch 51 consists of TFT₅₃ of the TFT₅₂ and the N channel of a P channel, and since this analog switch 51 is driven, two becoming memory circuits which consist of the sampling capacitors-54 and 55 and sampling 56 and TFT 57 are prepared respectively corresponding to said each TFT 52 and 53.

[0016] While said sampling 56 and TFT 57 is connected to the data wiring 58 and 59 of two with which polarities differ mutually, respectively, it connects with said line selection wiring 41 in common, and a flow / non-switch-on of this sampling 56 and TFT 57 are controlled by the line selection wiring 41, and the electrical potential differences D/D of said data wiring 58 and 59 are stored in the sampling capacitors 54 and 55 with it, respectively. In addition, it is indicated that the configuration of the memory circuit used for a semi-conductor may be realized on a display 31 using TFT as the

configuration generated by the inverter circuit which prepared two memory circuits, and did not store them as mentioned above, but formed the electrical potential differences D/D from which the polarity for driving this analog switch 51 differs in the interior of a pixel, and a configuration of a memory circuit. [0017] Thus, the configuration of the poly-Si TFT substrate which had an image memory 33 out of the display 31 for liquid crystal displays is indicated by JP,2000-227608,A.

[0018]

[Problem(s) to be Solved by the Invention] However, with the conventional technique of JP,8-194205,A, as shown in drawing 18, even if one pixel consists of a liquid crystal layer 10, a switching device 6 for liquid crystal actuation, and a 1-bit memory device 5 and it can perform monochrome binary display per liquid crystal device, the multi-gradation display of 3 or more gradation has the problem that it cannot do.

[0019] Since similarly only a liquid crystal device and the 1-bit memory device which consists of a capacitor 45 are constituted also from a conventional technique of JP,2000-227608,A by one pixel as shown in drawing 22, there is a problem that only per above-mentioned liquid crystal device and monochrome binary display can be performed.

[0020] With this point and the conventional technique of JP,2-148687,A, as shown in drawing 19, one pixel is equipped with an organic EL device 22, current Miller circuit 21, and two or more memory cells m1-mn, and is constituted, and said multi-gradation display can be realized by rewriting the condition of said memory cells m1-mn.

[0021] However, with the configuration of drawing 19, a pixel will be covered with wiring and the new problem that the field for creating a memory cell etc. becomes narrow produces it, so that only memory cell severaln required for a multi-gradation display tends to indicate by multi-gradation, since the column electrode control signals b1-bn which are data side wiring are needed.

[0022] Moreover, with the configuration of JP,2000-227608,A, the data for 1 scan line are read from an image memory 33 to juxtaposition, and it is sent out to the line buffer 32. Thus, the merit which sends out data to juxtaposition from the image memory 33 to a buffer circuit (or signal-line driver) once carries out parallel/serial conversion of the data for one line, it makes the inside of the shift register which the signal-line driver 8 as shown in drawing 17 does not illustrate as serial data transmit, the effectiveness which reduces the power consumption accompanying carrying out serial/parallel conversion again has it, and the formation of a part low power is possible for it.

[0023] However, with such a configuration, when performing the multi-gradation display of 3 or more gradation per pixel, it becomes the configuration of changing into analog voltage the data read from the image memory 33 by the D/A conversion circuit in the signal-line driver 8, and there is a problem that the power consumption accompanying D/A conversion is large.

[0024] Since said reference current to which a configuration like JP,2-148687,A is also created by FETq1-qn, and flows the FET23 side of current Miller circuit 21 further again becomes useless, when this current Miller circuit 21 is considered to be a kind of D/A conversion circuit, there is a problem of the power consumption accompanying D/A conversion similarly.

[0025] The object of this invention is offering the display which can reduce power consumption while being able to reduce the number of wiring in a viewing area in realizing a multi-gradation display.

[0026]

[Means for Solving the Problem] An electro-optics component is arranged in each field to which the display of this invention was divided in the shape of a matrix. In the display which incorporates data from a signal line to a memory device through the 1st active component prepared in said each field, and was made to carry out display actuation of said electro-optics component with the output of the memory device Two or more said memory devices corresponding to each electro-optics component are prepared to the same signal line, and display actuation of said electro-optics component is carried out with the part or all the outputs of each of said memory device.

[0027] According to the above-mentioned configuration, while being chosen by the selection line, by the

1st active component, incorporate the data of a signal line to a memory device, and the electrical potential difference of a reference line is impressed to an electro-optics component corresponding to the content of storage of the memory device. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data. In realizing a multi-gradation display and the display of another image, three pieces will be prepared if it carries out to the number-of-bits individual corresponding to the class of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, or image, for example, 8 gradation. And display actuation of said electro-optics component is carried out with the part or all outputs.

[0028] Therefore, when a part of outputs are used, an image which can perform digital gradation control by time sharing by switching a sequential output corresponding to the weight of a bit, and is different with a part of outputs and a residual output can also be displayed. For example, with n -bit data, it is $2n$. It is $2n-1$ not to mention displaying one image of gradation or indicating the n images of 2 gradation (1-bit gradation) by change. The change display with the image of gradation and the image of 2 gradation (1-bit gradation) etc. will be possible. On the other hand, when all outputs are used simultaneously, the addition electrical potential difference and current of an output of each bit can perform analog gradation control.

[0029] Since the bit-select line which is incorporated by the memory device to which the data of each bit correspond using a common signal line, and chooses those bits by this is taken about in common between bit ranking equal to mutual, the number of wiring is reducible. The power consumption accompanying D/A conversion can also be reduced further again by driving an electro-optics component by the duty of time sharing with the data of a multi-bit.

[0030] Moreover, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component, while being chosen by the selection line. In the display with which the electro-optics component was made to perform the display corresponding to the content of storage of the memory device. The same signal line is received in said memory device formed corresponding to each electro-optics component. The 2nd active component which prepares several bits corresponding to a part of class [at least] of the gradation which should be displayed, and/or image, and is prepared by corresponding to said each memory device individually. It takes about in common between the control-input edges of the 2nd active component of bit ranking equal to mutual. The data which mind said 1st active component while being alternatively chosen between each bit ranking and choosing said selection line are made to store in a corresponding memory device. It is characterized by the period when said selection line is not chosen containing the bit-select line which makes the corresponding data of a memory device output to an electro-optics component.

[0031] According to the above-mentioned configuration, while being chosen by the selection line, by the 1st active component, incorporate the data of a signal line to a memory device, and the electrical potential difference of a reference line is impressed to an electro-optics component corresponding to the content of storage of the memory device. As storage maintenance actuation is performed for every electro-optics component and the rewrite of the same data is not performed, in the display aiming at power-saving of a signal-line actuation circuit, a multi-gradation display and the display of another image are realized. For this reason, it prepares several bits corresponding to a part of class [at least] of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, and/or image. For example, 8 gradation, when required, if it corresponds to each electro-optics component, two pieces are prepared, one piece is prepared in external RAM, or three pieces are altogether prepared in it corresponding to each electro-optics component.

[0032] While corresponding to each memory device individually on the other hand, and the 2nd active component's intervening between said 1st active component and an electro-optics component, and a

corresponding memory device and choosing said selection line, this 2nd active component is alternatively chosen by the bit-select line, and the data of each bit through said 1st active component are stored in a corresponding memory device. On the other hand, the data of a memory device with which said 2nd active component is that the period when said selection line is not chosen is alternatively chosen by the bit-select line, and corresponds are outputted to an electro-optics component.

[0033] When realizing said multi-gradation display, for example, namely, by the data of a triplet. Supposing the data of each 3rd bit are 1, the data of 1 from the memory device corresponding to the 1st bit will be first given to an electro-optics component through the 2nd active component only in the unit period T. the 1- Next, the data of 1 from the memory device corresponding to the 2nd bit are given to an electro-optics component through the 2nd active component only in period 2 T, and the data of 1 from the memory device corresponding to the 3rd bit are continuously given to an electro-optics component through the 2nd active component only in period 4 T. In this case, the electrical potential difference of said reference line is impressed to an electro-optics component with the gradation of seven of said 8 gradation of 0-7, and the digital multi-gradation display by time sharing can be realized in this way.

[0034] Moreover, when using it by the 2nd active component as mentioned above, switching the output of some memory devices, an image which is different with a part of the outputs and a residual output can also be displayed. That is, with n-bit data, it is 2n as mentioned above. n images of 2 gradation (1-bit gradation) are switched it not only displays one image of gradation, but, and it is 2n-1 in displaying an easy animation ****. The change display with the image of gradation and the image of 2 gradation (1-bit gradation) etc. will be possible.

[0035] Since the data of a multi-bit are incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual by this, the number of wiring is reducible. Moreover, when performing D/A conversion by driving an electro-optics component by the duty of time sharing with the data of the multi-bit, the power consumption accompanying conversion can also be reduced. Once it writes data in a memory device in the change display of a different image further again, it is unnecessary and a low power can realize actuation of external CPU etc.

[0036] The indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component further again, while being chosen by the selection line. In the display with which the electro-optics component was made to perform the display corresponding to the content of storage of the memory device While preparing several bits corresponding to a part of class [at least] of the gradation which should display said memory device formed corresponding to each electro-optics component to the same signal line, and/or image The 3rd active component which said the 1st active component and selection line also correspond to each memory device individually, forms them, and is prepared by corresponding to said each memory device individually, It is characterized by taking about in common between the control-input edges of the 3rd active component of bit ranking equal to mutual, being alternatively chosen between each bit ranking, and including the bit-select line which makes the corresponding data of a memory device output to an electro-optics component.

[0037] According to the above-mentioned configuration, while being chosen by the selection line, by the 1st active component, incorporate the data of a signal line to a memory device, and the electrical potential difference of a reference line is impressed to an electro-optics component corresponding to the content of storage of the memory device. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data In realizing a multi-gradation display and the display of another image, three pieces will be prepared if it carries out to the number-of-bits individual corresponding to the class of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, or image, for example, 8

gradation.

[0038] On the other hand, while said the 1st active component and its selection line also correspond to each memory device individually and forming them, between each memory device and an electro-optics component, the 3rd active component alternatively chosen by the bit-select line is intervened, respectively. Therefore, an image which can realize the digital multi-gradation display by time sharing, and/or is different can also be displayed.

[0039] Since the data of a multi-bit are incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual by this, the number of wiring is reducible. Moreover, when performing D/A conversion by driving an electro-optics component by the duty of time sharing with the data of the multi-bit, the power consumption accompanying conversion can also be reduced.

[0040] Moreover, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component, while being chosen by the selection line. In the display with which the electro-optics component was made to perform the display corresponding to the content of storage of the memory device While preparing several bits corresponding to a part of gradation [at least] which should display said memory device formed corresponding to each electro-optics component to the same signal line Said the 1st active component and selection line also correspond to each memory device individually, and are formed, and it is characterized by carrying out display actuation of said electro-optics component with the sum output of two or more of said memory devices.

[0041] According to the above-mentioned configuration, while being chosen by the selection line, by the 1st active component, incorporate the data of a signal line to a memory device, and the electrical potential difference of a reference line is impressed to an electro-optics component corresponding to the content of storage of the memory device. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data While preparing several bits corresponding to the number of gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line in realizing a multi-gradation display, the 1st active component and its selection line also correspond to each memory device individually, and are formed.

[0042] Therefore, the addition electrical potential difference and current of an output of each memory device can perform analog gradation control. Since the data of a multi-bit are incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual by this, the number of wiring is reducible.

[0043] The indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component further again, while being chosen by the selection line. In the display with which the electro-optics component was made to perform the display corresponding to the content of storage of the memory device The same signal line is received in said memory device formed corresponding to each electro-optics component. The 2nd active component which prepares several bits corresponding to a part of gradation [at least] which should be displayed, and is prepared by corresponding to said each memory device individually, It takes about in common between the control-input edges of the 2nd active component of bit ranking equal to mutual. While being alternatively chosen between each bit ranking and choosing said selection line, it is characterized by carrying out display actuation of said electro-optics component with the sum output of two or more of said memory devices including the bit-select line which makes the data through said 1st active component store in a corresponding memory device.

[0044] According to the above-mentioned configuration, while being chosen by the selection line, by the 1st active component, incorporate the data of a signal line to a memory device, and the electrical potential difference of a reference line is impressed to an electro-optics component corresponding to the content of storage of the memory device. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and

did not perform the rewrite of the same data While preparing several bits corresponding to the class of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, or image in realizing a multi-gradation display It corresponds to each memory device individually, the 2nd active component is intervened between said 1st active component and an electro-optics component, and a corresponding memory device, and data are stored in a corresponding memory device by choosing this 2nd active component alternatively by the bit-select line.

[0045] Therefore, the addition electrical potential difference and current of an output of each memory device can perform analog gradation control. Since the data of a multi-bit are incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual by this, the number of wiring is reducible.

[0046] Moreover, it is characterized by arranging said each electro-optics component in the shape of a matrix, and the indicating equipment of this invention sharing said bit-select line by contiguity space.

[0047] According to the above-mentioned configuration, wiring area can be reduced and much more many gradation-ization can be attained.

[0048] The indicating equipment of this invention classifies said bit-select line into two, and is characterized by arranging in each space dispersedly further again.

[0049] According to the above-mentioned configuration, the number of wiring can be balanced and display homogeneity can be improved.

[0050] Moreover, the indicating equipment of this invention is characterized by having further a decoding means to decode the select data of said bit-select line.

[0051] According to the above-mentioned configuration, the rate of a wiring field can be made still smaller.

[0052] As for especially this invention, it is desirable to apply, when uniting with an indicating equipment and forming RAM (random access memory) in which the image (alphabetic character) data which should have a memory device with each electro-optics component of display area and the corresponding configuration, and should be displayed on an indicating equipment from external equipments, such as CPU, are written out of display area.

[0053] With the above-mentioned configuration, although low-power-ization is in drawing from RAM by displaying data on read-out and each electro-optics component at parallel, if a D/A converter is between RAM and an electro-optics component, the low-power effectiveness parallel-ized [above] only by that will be lost.

[0054] Then, since low-power-ization made into the object with the above-mentioned configuration is realizable by not forming a D/A converter between RAM and an electro-optics component like this invention, but preparing digital memory instead, and considering as the configuration which indicates by multi-gradation, it is desirable.

[0055] In addition, with the configuration that whose the image memory formed out of display area with the above-mentioned configuration is expressed as RAM prepares SUTATIKU memory for every above-mentioned electro-optics component, since an image memory should just only hold data temporarily, even if it does not necessarily take a SRAM configuration, it is because it judges that a DRAM configuration may be used.

[0056] The indicating equipment of this invention is characterized by forming said memory device with a ferroelectric thin film capacitor further again.

[0057] According to the above-mentioned configuration, circuit area required for a memory device can be made smaller than the case where it realizes in the SRAM circuit which uses transistors, such as TFT.

[0058]

[Embodiment of the Invention] It will be as follows if the 1st gestalt of operation of this invention is explained based on drawing 1 - drawing 4 .

[0059] Drawing 1 is drawing showing the rough configuration of the display 61 of the 1st gestalt of

operation of this invention. Although this indicating equipment 61 is the EL display which used the electro-optics component as the organic EL device 62, it cannot be overemphasized that said liquid crystal device and FED component may be used. In addition, the TFT (thin film transistor) component formed on a substrate 63 with this configuration can be created in the CGS(Continuous Grain Silicon) TFT fabrication process of being explained also by JP,10-301536,A, the Poly-Si TFT process generally used.

[0060] CPU (central-process unit)64 exchanges data between the memory 65 which is a flash memory-cum-SRAM (Static Random Access Memory), makes SRAM66 on said substrate 63 memorize the data which should be displayed, makes directions of the controller driver 67 perform writing and periodical read-out, and makes memory device M formed in each pixel field A memorize the data in that SRAM66 in profile in this display 61. And by the electrical potential difference VDD of a reference line (power-source line) R being given to said organic EL device 62 according to the data memorized by this memory device M, while acquiring a power source required for storage maintenance actuation for every pixel, as the rewrite of the same data is not performed, power-saving of said SRAM66 which is a signal-line actuation circuit, and power-saving by the power source OFF of said CPU64 are attained.

[0061] for this reason, the selection line (gate signal line) Gi (i=, when naming generically, 1, 2, —, m, and) from said controller driver 67 the following reference mark G — being shown — the signal line (data signal line) Sj (j=, when naming generically, 1, 2, —, n, and) from said SRAM66 By TFTQ1 by which the gate is connected to the selection line G by which TFTQ1 of the N type which is the 1st active component is formed in the intersection shown by the reference mark S below, and the selection electrical potential difference is impressed by the controller driver 67 The data currently outputted to the signal line S from SRAM66 are memorized by memory device M. Moreover, the output from memory device M is given to the gate of TFTQ2 of the P type which forms an electro-optics component with said organic EL device 62, and the electrical potential difference VDD of said reference line R is impressed to said organic EL device 62 by this TFTQ2.

[0062] In addition, memory device M is realized by SUTATIKU memory so that it may mention later. In this case, as long as it considers the buffer which adjusts the data transfer rate outputted from CPU64 in said SRAM66, and the data transfer rate to memory device M arranged to the pixel field A, since this SRAM66 just holds data temporarily, it is not necessary to necessarily take a SRAM configuration, and a DRAM configuration may be used. In this case, it can consider as the configuration which rewrites only memory device M corresponding to the updated data by memorizing with the data in which it is shown the data corresponding to which pixel were updated.

[0063] That is, it is necessary to rewrite memory device M arranged to the pixel field A of a display 61 through a signal line S etc. However, since the stray capacity of a signal line S etc. is generally larger than the usual RAM, the rewriting rate becomes slower than the usual RAM. Then, in order to hold the data from CPU64 temporarily, RAM equivalent to the usual RAM will be given out of a viewing area, and RAM outside the pixel field A is good for it with a DRAM configuration in this case.

[0064] Moreover, the role which saves the data which were not able to be written in memory device M in the pixel field A can also be given to RAM arranged outside this pixel field A so that it may mention later. For example, if only 4-bit gradation can be arranged to a pixel when the number of gradation which you want to display is 6-bit gradation, the data for remaining 2 bits are arranged to RAM outside the pixel field A.

[0065] What is necessary is for more memory devices to be required and just to arrange the memory data which have not been arranged in the pixel field A in this case to RAM outside the pixel field A, also when indicating two or more images by display change further again so that it may mention later. That is, it is also possible to exchange an indicative data between memory device M in the pixel field A and RAM outside the pixel field A, to usually display the memory data in the pixel field A, to move the RAM data outside the pixel field A to memory device M in the pixel field A, when switching to other screens, and to obtain a display (returning the memory data in the pixel field A to reverse to RAM besides a pixel again).

[0066] Moreover, CPU64 may also be united with a substrate 63 by said SRAM66 and the controller driver 67, and the pan. In this case, it may be made to mount the integrated circuit which used and made ***** or a single crystal semiconductor process to the substrate 63 using said CGSTFT fabrication process later in a substrate 63. Furthermore, once it mounts with a TAB (Tape Automated Bonding) technique on the tape wired by the copper foil pattern even if directly mounted on a substrate 63 or when it mounts later the integrated circuit created using said single crystal semiconductor process, you may make it combine the TCP (Tape Carrier Package) with a substrate 63 anew.

[0067] it should observe — memory device M formed in each pixel field A in this invention The number below the number-of-bits individual corresponding to the gradation which should be displayed in realizing a multi-gradation display, a number-of-bits individual required for two or more images which you want to display, or the number-of-bits individual corresponding to those combination (in drawing 1 , for simplification of a drawing) It is that two of reference marks M1 and M2 are prepared. The memory device running short is prepared in said SRAM66, if needed, it is with the pixel field A and SRAM66 side, and an exchange of data should just be carried out to the case of under the number for which the number of memory device M formed in each pixel field A is needed. The following explanation is later mentioned about the display of two or more images supposing a multi-gradation display.

[0068] With the configuration of drawing 1 , it corresponds to said memory devices M1 and M2 individually, and TFTQ31 and Q32 which are the 2nd active component intervene between the line which connects between said TFTQ1 and Q2, and the corresponding memory devices M1 and M2. Moreover, in order to choose said TFTQ31 and Q32 alternatively, the bit controller 68 which the bit-select line B1, B-2, and its bit-select line B1 are generated, and makes B-2 generate a selection electrical potential difference is formed. You may unite with a substrate 63 like [the bit controller 68] said SRAM66 grade.

[0069] Drawing 2 is the block diagram showing the example of 1 configuration of said SRAM66. This SRAM66 is equipped with the parallel OUT control circuit 73 which is the port which outputs the data for a segment side 1 train (1, 2, —, m) pixel of the substrate 63 corresponding to said each signal line S to parallel apart from the serial and the I/O Port to CPU64 by the serial IN control circuit 71 and the serial OUT control circuit 72. This parallel OUT control circuit 73 has three ports, R, G, and B, for every pixel again. Others are equipped with address buffers 74 and 75, the low decoder 76, the column decoder 77, the selector 78, the memory array 79, and the gates 80 and 81 and the buffer 82 corresponding to a chip select or various kinds of enable signals like the usual SRAM circuit.

[0070] Drawing 3 is the electrical diagram of one pixel field Aij of eye an i line j train of the arbitration for explaining the configuration of said memory device M. Memory device M is carrying out to two of reference marks M1 and M2 like [this drawing 3] above-mentioned drawing 1 for simplification of a drawing. Henceforth, the subscripts i and j showing eye said i line j train are added only especially about the case of being required, and when that is not right, they are omitted for simplification of explanation.

[0071] CMOS inverter INV1 with which these memory devices M1 and M2 consist of TFTP1 of P type, and TFTN1 of N type, It is the two-step inverter configuration with which CMOS inverter INV2 which consists of TFTP2 of P type and TFTN2 of N type similarly was combined. Said TFTQ31 and Q32 are connected to the input edge of an inverter INV1. The outgoing end of an inverter INV1 is connected to the input edge of an inverter INV2, and the outgoing end of an inverter INV2 is a SRAM configuration connected to the input edge of an inverter INV1, and TFTQ31 and Q32.

[0072] Therefore, this output is given to said TFTQ2 which constitutes an electro-optics component from TFTQ31 and Q32, while the data from said SRAM66 are inputted into the input edge of an inverter INV1 through TFTQ1, and TFTQ31 and Q32, and it is reversed with this inverter INV1, it is further reversed with an inverter INV2, positive feedback is carried out to the input edge of this inverter INV1 and self-hold actuation is performed.

[0073] Drawing 4 is the wave form chart of said bit-select line B1, B-2, and the selection line G. The one-frame period Tf is divided into 127 in the example of this drawing 4 . The selection line G serves as high level (said selection electrical potential difference) to the timing of 1 which is the write-in period of

data, and the bit-select line B1 and B-2 become high-level alternatively, and mind [each / M1 and M2] the same signal line S. The data from SRAM66 are incorporated and the selection line G serves as a low level (non-choosing electrical potential difference) to the timing of 2-127 of the remainder which is a display period. And corresponding to the ratio of the weight the bit-select line B1 and whose B-2 are the bit, it becomes high-level alternatively, and the data of each memory devices M1 and M2 are outputted to TFTQ2.

[0074] In detail, corresponding to the weight of the bit, only the unit period T is chosen and, as for the bit-select line B1, only period 2 T are chosen to this, as for bit-select line B-2. Moreover, in the example of drawing 4 , said unit period T is made into $7/127$ of the one-frame periods T_f , namely, it is chosen by turns within the one-frame period T_f only $(127-1) / \{(1+2) \times 7\} = 6$ time.

[0075] Therefore, to the timing of 1, incorporation of the data to memory devices M1 and M2 is performed as mentioned above. The bit-select line B1 is chosen to the timing of 2-8, and the data of a memory device M1 are outputted to TFTQ2. Bit-select line B-2 is chosen to the timing of 9-22, and the data of a memory device M2 are outputted to TFTQ2. Similarly hereafter, the bit-select line B1 is chosen to the timing of 23-29, bit-select line B-2 is chosen to the timing of 30-43, the bit-select line B1 is chosen to the timing of 44-107, and bit-select line B-2 is chosen to the timing of 108-127.

[0076] Moreover, although only the period of 1/the 127 will be chosen in order for said every one-frame period, when the controller driver 67 carries out the monitor of the data transmitted to SRAM66 from CPU64 and there is no need for modification of a display image, the selection line G answers a control output from the controller driver 67, and said SRAM66 does not output data but it serves as power saving as mentioned above.

[0077] In addition, as for the data of memory devices M1 and M2, said timing of 1 is also outputted to TFTQ2. Therefore, when only said timing of 2-127 is made into a display period, a gradation error will arise. Although direct TFTQ2 will drive by the data from SRAM66 on the other hand when said timing of 1 is also made into a display period, the effect of the voltage variation by the writing of the data to memory devices M1 and M2 will arise. Therefore, in consideration of the effect of the period when the selection line G is set to the bit-select line B1 and B-2 being high-level high-level, said selection line G should just adjust the period when the bit-select line B1 and B-2 are high-level between low level. Both the electrical potential difference VDD of said reference line R and the electrical potential difference at the time of selection of a signal line S are 5-6V, for example.

[0078] Thus, while preparing only M1 and M2 of the number-of-bits individual corresponding to the gradation which should display said memory device M in the display 61 which attained power-saving using memory device M in realizing a multi-gradation display TFTQ31 and Q32 are prepared among said TFTQ1 and Q2, respectively. While the selection line G is chosen, the data of each bit are memorized to memory devices M1 and M2 one by one by time sharing through TFTQ1. By giving the memorized data to the gate of TFTQ2 corresponding to the ratio of the weight of a bit, the period when the selection line G is not chosen drives the electrical potential difference VDD of a reference line R by time sharing, and can realize the digital multi-gradation display of the electro-optics component 62.

[0079] As compared with the configuration of said drawing 19 which uses two or more memory cells $m1-mn$ similarly for a multi-gradation display, therefore, in this invention If one signal line S, the selection line G and the bit-select line B1 common to each color of R, G, and B, and B-2 are needed and the number of bits is set to x for every color of R, G, and B $1 \times 3(R, G, B) + 1 + x = 4$ becoming +x, with the configuration of drawing 19 , it becomes $[xx3(R, G, B) + 1 = (\text{low electrode control signal line})3x + 1]$, and the number of wiring can be reduced substantially. Even if it reduces the area of wiring in each pixel field A and increases the number of gradation by this, the field for creating a memory device M1 and M2 grade is fully securable.

[0080] Moreover, data are written in SRAM66 prepared out of the viewing area from CPU64. By performing adjustment with the writing speed of the data from CPU64, and the writing speed of the data to memory devices M1 and M2, and writing two or more bit data in the direct memory devices M1 and

M2 from SRAM66 further at parallel Since change the data from SRAM66 serially, it becomes unnecessary to transmit them like the conventional signal-line actuation circuit and the gradation display using digital data is realized by each pixel The big D/A conversion circuit of power consumption is not needed between SRAM66 and a pixel, and low-power-ization can be attained in this way.

[0081] The power required in order to generate analog voltage from gradation data is larger than power required [since the power consumption accompanying carrying out D/A conversion of the data is larger than the power consumption accompanying data transfer] of a cellular phone with many opportunities to display a static image especially in order to send gradation data serially, the above-mentioned fault can be compensated and too much effective effectiveness can be expected.

[0082] Furthermore, like [memory devices M1 and M2] the usual SRAM, since it consists of two steps of CMOS inverters INV1 and INV2, among P type TFTP1 and P2 of each inverters INV1 and INV2, and N type TFTN1 and N2, TFT used as switch-on has few currents on which either flows each inverters INV1 and INV2 while being one side and maintaining the memory condition, and it is a low power.

[0083] In addition, with an above-mentioned configuration, since a signal line S is shared in two or more bits, compared with the case where only the number of memory devices as shown by said drawing 19 secures a signal line S, the fault used as number-of-bits twice has a data transfer frequency. However, if data are serially transmitted to the conventional signal-line actuation circuit from SRAM66 when the number of pixels of a display is made into $m \times n$, a required transfer frequency will become the parallel number xn time of a signal line S. Usually, although n is 80 or more, since the number of bits x is about eight, the effectiveness that the above-mentioned configuration also lowers the data transfer rate to the memory devices M1 and M2 by transmitting data to parallel remains.

[0084] On the other hand, the display of said two or more images is explained below. For example, by switching and reading the data from memory device M at the time of a static-image display, if the number of memory device M is set to k , if it is the image of 1-bit gradation (2 gradation), k images can be switched and displayed. That is, if it is 2 gradation image and is k images and 4 gradation image, it can be displayed as $k/2$ image and —. Moreover, each image does not need to be the same number of gradation, for example, can also perform the change display with the image of j ($j < k$) bit gradation, and the image of residual $k-j$ bit gradation. In this way, it is also possible to display an easy animation with the power consumption of same extent as a static image.

[0085] Moreover, when displaying such a static image, it is also possible to read the residual data for 2 bits from SRAM66 besides a pixel as mentioned above, if only the memory device for 4 bits can be arranged to a pixel although he wants to display 6-bit gradation. In this case, it is desirable to store the data for a triplet in SRAM66 besides a pixel with a SRAM configuration (the remainder is good with a DRAM configuration).

[0086] When displaying two or more images, the need of using more memory devices comes out further again. From RAM besides a pixel, also at this time, required bit data are read to the memory device of a pixel, and it should just display them. [as well as the above] When memorizing only data required for a part of graphic display among data required for two or more graphic display further again to the memory device and displaying other images, it is also possible to obtain two or more graphic display and easy animation displays, not turning on acceptance (returning data of memory device to RAM besides pixel with it) CPU for data newly from RAM besides a pixel.

[0087] It will be as follows if the 2nd gestalt of operation of this invention is explained based on drawing 5 and drawing 6.

[0088] Drawing 5 is the electrical diagram of one pixel field A in the display of the 2nd gestalt of operation of this invention. The configuration of this drawing 5 is similar to the configuration of above-mentioned drawing 3, attaches and shows the same reference mark to a corresponding part, and omits that explanation. Like [this configuration] the configuration of above-mentioned drawing 3, for simplification of a drawing, although memory device M is as two of reference marks M1 and M2, three or more memory devices can respond.

[0089] it should observe — while TFTQ11 and Q12 which are the 1st active component for memory devices M1 and M2 being alike, respectively, corresponding with this configuration, and incorporating data from the same signal line S are prepared, it is that TFTQ51 and Q52 which are the 3rd active component which gives the output of memory devices M1 and M2 to TFTQ2 of said electro-optics component are prepared. Said TFTQ11 will write the data from a signal line S in a memory device M2, if a selection electrical potential difference is given to the selection line Ga and the data from a signal line S will be given to a selection electrical potential difference to writing and said TFTQ12 by the memory device M1 at the selection line Gb.

[0090] Moreover, said bit-select line so that it may be used in common by two memory devices M1 and M2 and the output of each memory devices M1 and M2 may be alternatively given to said TFTQ2 for this reason, as a reference mark B shows It is that TFTQ51 by the side of a memory device M1 is P type, TFTQ52 by the side of a memory device M2 has become N type, and the selection electrical potential difference of said bit-select line B is given to the gate of these TFTQ51 and Q52. Either output of a memory device M1 and a memory device M2 will be given to TFTQ2, and only a corresponding period will flow [a current] to an organic EL device 62.

[0091] Drawing 6 is the wave form chart of said bit-select line B, the selection lines Ga and Gb, and a signal line S. Also by the example of this drawing 6 , the one-frame period Tf is divided into 127, to the timing of 1 which is the write-in period of data, the selection lines Ga and Gb serve as high level (said selection electrical potential difference) one by one according to the bit data sent out to the signal line S, and the data from SRAM66 are written in each memory devices M1 and M2. To the timing of 2-127 of the remainder which is a display period, the selection lines Ga and Gb serve as a low level (non-choosing electrical potential difference), and it switches to the selection electrical potential difference V1 of a memory device M1, and the selection electrical potential difference V2 of a memory device M2 corresponding to the ratio of the weight whose bit-select line B is the bit, and the data of each memory devices M1 and M2 are alternatively outputted to TFTQ2.

[0092] Thus, a multi-gradation display is performed by setting to 1:2 the ratio of the period whose selection electrical potential difference sent out to the bit-select line B is V1, and the period which is V2. Moreover, binary image (alphabetic character and image) data which are different in memory devices M1 and M2 are made to memorize, by switching this bit-select line B to electrical potential differences V1 and V2 periodically per 1 or two or more frames, two images are displayed periodically and an easy repetition dynamic image can be displayed. A cellular phone etc. awaits and such a function tends to be liked as a screen.

[0093] It will be as follows if the 3rd gestalt of operation of this invention is explained based on drawing 7 and drawing 8 .

[0094] Drawing 7 is the electrical diagram of one pixel field A in the display of the 3rd gestalt of operation of this invention. The configuration of this drawing 7 is similar to the configuration of above-mentioned drawing 5 , attaches and shows the same reference mark to a corresponding part, and omits that explanation. Like [this configuration] the configuration of above-mentioned drawing 3 , for simplification of a drawing, although memory device M is as two of reference marks M1 and M2, three or more memory devices can respond.

[0095] With the configuration of said drawing 1 and drawing 5 , the time-sharing gradation display is used as the technique of realizing a gradation display. However, this invention is not limited to it and an electro-optics component is not limited to an organic EL device 62, either. then — it should observe — the gestalt of this operation shows the example in the case of impressing analog voltage to the liquid crystal 91, and realizing a gradation display, using liquid crystal 91 as an electro-optics component.

[0096] It connects with the parallel circuit of resistance R11 and R12, and mutual [resistance R2 and mutual] at a serial, and said liquid crystal 91 intervenes among the reference lines (power-source line) R and GND of supply voltage VDD. Said bit-select line B1 and B-2;B are not prepared, but the output of memory devices M1 and M2 is given to TFTQ61 and Q62 of P type, respectively, and controls its flow /

un-flowing by this configuration. TFTQ61 is formed in said resistance R11 and R12 and juxtaposition, and TFTQ62 is prepared in said resistance R2 and juxtaposition, respectively. Moreover, resistance R3 is formed in liquid crystal 91 and juxtaposition.

[0097] Said resistance R11 and R12 is mutually formed in juxtaposition for creating resistance of one half of resistance, it is the effect of processes, such as etching conditions, and although it is comparatively easy for abbreviation etc. to be by carrying out and to create resistance of resistance, it is difficult for it to double and create resistance of the resistance of $1/\text{said } 2$ alone. Therefore, as for the resistance of each resistance R11, R12, R2, and R3, it is desirable that it is equal to mutual.

[0098] Hereafter, when ON resistance of TFTQ61 and Q62 is disregarded and this TFTQ61 and Q62 are non-switch-on at both the liquid crystal 91, it is $VDD \times (R3 / (R2 + R3)) (R11 // R12)$.

When ***** is impressed and TFTQ61 is [TFTQ62] non-switch-on in switch-on, it is $VDD \times (R3 / (R2 + R3))$.

When ***** is impressed and TFTQ61 is [TFTQ62] switch-on in non-switch-on, it is $VDD \times (R3 / (R2 + R3)) (R11 // R12)$.

***** is impressed, and when both TFTQ61 and Q62 are switch-on, the electrical potential difference of VDD will be impressed directly. In addition, $(R11 // R12)$ is the parallel resistance values of resistance R11 and resistance R12, and $(R11 \times R12) / (R11 + R12)$ can express by the above-mentioned formula.

[0099] Therefore, when the resistance of each resistance R11, R12, R2, and R3 is equal to mutual as mentioned above and both TFTQ61 and Q62 are non-switch-on, The electrical potential difference of $2VDD/5$ is impressed, when TFTQ61 is [TFTQ62] non-switch-on in switch-on, the electrical potential difference of $VDD/2$ is impressed, and when TFTQ61 is [TFTQ62] switch-on in non-switch-on, the electrical potential difference of $2VDD/3$ will be impressed. thus, the easy D/A conversion circuit in the pixel field A — ***** — things are also possible.

[0100] Thus, especially the technique that divides the supply voltage VDD given from the reference line (power-source line) R, and carries out electrical-potential-difference conversion by switching TFTQ61 and Q62 corresponding to each memory devices M1 and M2 to a flow / non-switch-on and that is impressed to an electro-optics component has an electro-optics component effective in liquid crystal 91 case. Moreover, said resistance R11, R12, R2, and R3 is not performed, but a capacitor may be made to perform a partial pressure.

[0101] in addition — although can switch two or more images and they cannot be expressed as the configuration of above-mentioned drawing 7 — between memory devices M1 and M2, and TFTQ61 and Q62 — the 3rd active component — preparing — this — it is also possible between the 3rd active component and the combination of memory devices M1 and M2 to switch an image. Moreover, if a point without the bit-select line B is removed, since the control timing of this configuration is the same as the control timing of above-mentioned drawing 6, explanation of the timing is omitted here.

[0102] Although it has the effectiveness that the configuration of above-mentioned drawing 7 reduces the number of wiring in a viewing area A here, the effectiveness of low-power-izing is thin. Then, the configuration of the D/A conversion circuit which can also realize low-power-ization is more preferably shown in drawing 8. In the configuration of this drawing 8, the same reference mark is attached and shown in the part corresponding to the configuration of drawing 7. it should observe — the output of memory devices M1 and M2 is that liquid crystal 91 is given respectively through capacitors C11 and C21. Therefore, with this configuration, since resistance is not used, there are few increments in power consumption and they can attain said low-power-ization.

[0103] When electrostatic capacity of liquid crystal 91 is set to CLC, the electrical potential difference of 0 is impressed to liquid crystal 91 with this configuration when it is the same as that of a reference mark respectively, ***** of capacitors C11 and C21 is shown and both the outputs of memory devices M1 and M2 are GND potentials, and the output of a memory device M1 is [the output of a memory device M2] GND potential in VDD potential, it is $VDD \times C1 / (CLC + C11 + C21)$.

When ***** is impressed and the output of a memory device M1 is [the output of a memory device

M2] VDD potential in GND potential, it is $VDD \times C2 / (CLC + C11 + C21)$.

When ***** is impressed and both the outputs of memory devices M1 and M2 are VDD potentials, it is $VDD \times (C11 + C21) / (CLC + C11 + C21)$.

***** is impressed.

[0104] It is referred to as $C21 = 2 \times C11$, and if the C11 [largest possible to the extent that it becomes equal to CLC] is taken and supply voltage VDD is set up appropriately, a multi-gradation display can be performed there using liquid crystal 91.

[0105] It will be as follows if the 4th gestalt of operation of this invention is explained based on drawing 9 - drawing 11.

[0106] Drawing 9 is the electrical diagram of one pixel field A in the display of the 4th gestalt of operation of this invention. The configuration of this drawing 9 is similar to the configuration of above-mentioned drawing 1, drawing 5, and drawing 8. This configuration generates the gate voltage of TFTQ2 which drives an organic EL device 62 using the D/A function which used the capacitor of above-mentioned drawing 8. For this reason, one terminal of capacitors C21 and C22 is connected to the gate of said TFTQ2 which is a voltage-output stage. The other-end child of a capacitor C21 is connected to the output of a memory device M2, and the other-end child of a capacitor C22 is connected to one terminal of capacitors C11 and C12. The other-end child of a capacitor C11 is connected to the output of a memory device M1, and the other-end child of a capacitor C12 is connected to the reference line R of supply voltage VDD.

[0107] And it considers as the electrostatic capacity of $C21 = C11 = C12$, and considers as the electrostatic capacity of $C22 = 2 \times C21$. Namely, the so-called C-2C It considers as a DAC configuration. About this C-2CDAC configuration, it is ASIA. Although that theoretic explanation is omitted since it is indicated by P285 grade of DISPLAY'98, it is also possible to constitute a D/A conversion circuit using such a capacitor, and to give that output to TFTQ2 for actuation of an organic EL device 62.

[0108] Moreover, with this configuration, TFTQ71 of the P type which is the 2nd active component is prepared between TFTQ(s)1 and the memory devices M1 which are the 1st active component. TFTQ72 of the N type which is the 2nd active component is prepared between TFTQ1 and a memory device M2, the selection electrical potential difference of said bit-select line B is given to those gates of TFTQ71 and Q72, and said TFTQ1 is minded. The data of a signal line S are alternatively written in memory devices M1 and M2.

[0109] Drawing 10 is the wave form chart of said bit-select line B, the selection line G, and a signal line S. Also by the example of this drawing 10, the one-frame period T_f is divided into 127, to the timing of 1 which is the write-in period of data, while the selection line G serves as high level (selection electrical potential difference), the bit-select line B switches to the selection electrical potential difference V1 of a memory device M1, and the selection electrical potential difference V2 of a memory device M2 one by one according to the bit data sent out to the signal line S, and the data from SRAM66 are written in each memory devices M1 and M2. To the timing of 2-127 of the remainder which is a display period, since the selection line G serves as a low level (non-choosing electrical potential difference) and the writing of data is forbidden, the bit-select line B serves as an electrical potential difference (drawing 10 selection electrical potential difference V1) of arbitration.

[0110] Thus, without using time-sharing gradation, even if it is the electro-optics component of a current actuation mold by constituting, by controlling the gate voltage of TFTQ2, a corresponding current value can be acquired and a gradation display can be performed.

[0111] moreover, as the technique of current conversion of the output from memory devices M1 and M2 for the electro-optics component of a current actuation mold The switching element corresponding to each memory devices M1 and M2 by thus, the thing to switch to a flow / non-switch-on as most direct technique in addition to the technique of acquiring the current which controls the gate voltage of TFTQ2 and corresponds The conductivity between power-source wiring and an electro-optics component is changed, and there is the technique of giving a current to an electro-optics component. This is

especially effective when an electro-optics component is an organic EL device. Drawing 11 shows the configuration. Data are written in memory devices M1 and M2 by said TFTQ11 and Q12 from said signal line S, respectively, and that output controls TFTQ61;Q62 and Q63 by this configuration. all of TFTQ61-Q63 consist of same sizes — having — every — as for TFTQ61-Q63, a current equal to mutual will flow at the time of switch-on.

[0112] Therefore, even if a memory device M2 can supply a twice as many current as this to an organic EL device 62 to a memory device M1 according to the weight of a bit, the data from SRAM66 are only written in memory devices M1 and M2 in this way and it does not use time sharing, a gradation display can be performed with the electro-optics component of a current actuation mold.

[0113] It will be as follows if the 5th gestalt of operation of this invention is explained based on drawing 12 R> 2.

[0114] Drawing 12 is the electrical diagram of one pixel field A in the display of the 5th gestalt of operation of this invention. The configuration of this drawing 12 is similar to the configuration of above-mentioned drawing 3 , attaches and shows the same reference mark to a corresponding part, and omits that explanation. it should observe — with this configuration, while the ferroelectric thin film capacitors C1 and C2 are used as a memory device, it is that direct continuation of TFTQ1 which are this memory device and the 1st active component is carried out, and TFTQ31 and Q32 which are the 2nd active component are instead arranged between a memory device and GND. How to use the ferroelectric thin film capacitors C1 and C2 of this drawing 12 is a 1T(transistor)1C (capacitor) configuration as used in the field of FRAM (ferroelectric memory device). By this, required circuit area can be made smaller than the SRAM circuit which uses four TFTQ1, P2, N1, and N2 of drawing 3 .

[0115] In addition, since the manufacture approach of a ferroelectric thin film capacitor is indicated by JP,2000-164818,A, JP,2000-169297,A, etc., detailed explanation is omitted here.

[0116] Moreover, with this configuration, the end of said ferroelectric thin film capacitors C1 and C2 is connected to TFTQ1 and Q2a, and the other end is grounded through said TFTQ31 and Q32.

Furthermore, with the substrate 63 of said drawing 1 and drawing 3 , in the order of a substrate, an anode plate, an electron hole ON layer, an electron hole transporting bed, a luminous layer, an electronic transporting bed, and cathode, the built-up sequence of an organic EL device 62 uses TFTQ2 as P type, and is inserting the organic EL device 62 between TFTQ2 and GND. On the other hand, with the configuration of this drawing 12 , organic EL device 62a which a laminating is carried out and consists of order of a substrate, cathode, an electronic transporting bed, a luminous layer, an electron hole transporting bed, an electron hole ON layer, and an anode plate is used for substrate 63a, and this organic EL device 62a is inserted between TFTQ2a of N type, and the reference line R of supply voltage VDD. Thus, the amplitude of TFTQ2a and the gate voltage of Q31 and Q32 is made small.

[0117] It will be as follows if the 6th gestalt of operation of this invention is explained based on drawing 13 R> 3 and drawing 14 .

[0118] Drawing 13 is the electrical diagram of four pixel fields in the display of the 6th gestalt of operation of this invention. The configuration of this drawing 13 is similar to the configuration of above-mentioned drawing 12 , attaches and shows the same reference mark to a corresponding part, and omits that explanation. it should observe — with this configuration, it is that six ferroelectric thin film capacitors C1-C6 per pixel are used as a memory device. Moreover, the reference line R is shared by the line writing direction by the odd-numbered pixel (drawing 6 A11, A21) and the even-numbered pixel (drawing 6 A12, A22). The bit-select line B1 for driving TFTQ31-Q36 corresponding to said ferroelectric thin film capacitors C1-C6, respectively - B6 It is in the direction of a train with the odd-numbered pixel (drawing 13 A11, A12) and the even-numbered pixel (drawing 13 A21, A22), namely, is used in common by contiguity space, and the rate of the wiring field occupied in a viewing area is made small. Electrical potential difference of a reference line R - It is VDD, and TFTQ2a of N type is used and organic EL device 62a is used corresponding to this.

[0119] Drawing 14 is said bit-select line B1 - B6 and the selection line Gi, and the wave form chart of

Gi+1. The one-frame period is divided into 128 in the example of this drawing 14. In profile The selection line Gi becomes high-level to the timing of 1, and the bit-select line B1 – B6 become high-level alternatively. The data from SRAM66 are incorporated by each ferroelectric thin film capacitors C1–C6 of the i-th line. Selection line Gi+1 becomes high-level to the timing of 2, and the bit-select line B1 – B6 become high-level alternatively. The data from SRAM66 are incorporated by each ferroelectric thin film capacitors C1–C6 of the i+1st line. To the residual timing of 3–128, the selection line Gi and Gi+1 are set to a low level, and only the period of weight the bit-select line B1 – whose B6 are the bit becomes high-level alternatively, and the data of each ferroelectric thin film capacitors C1–C6 are outputted to TFTQ2a.

[0120] In addition, in the above-mentioned case, while writing data in each ferroelectric thin film capacitors C1–C6 of the i-th line since selection line Gi+1 is a low level when the selection line Gi is high-level, data are not written in at each ferroelectric thin film capacitors C1–C6 of the i+1st line.

[0121] In detail, corresponding to the weight of the bit, only period 4 T are chosen, as for bit-select line B4, only period 8 T are chosen, only the unit period T is chosen and, as for the bit-select line B1, only period 32 T are chosen [as for bit-select line B-2, only period 2 T are chosen, and / as for bit-select line B5, only period 16 T are chosen, and] for the bit-select line B3, as for bit-select line B6. Moreover, in the example of drawing 14, said unit period T is made into 1/128 of one-frame periods, namely, it is chosen by turns within an one-frame period only $(128-2) / \{(1+2+4+8+16+32) \times 1\} = 2$ time.

[0122] Therefore, to the timing of 1 and 2, incorporation of the data to each ferroelectric thin film capacitors C1–C6 is performed as mentioned above. The bit-select line B1 is chosen to the timing of 3, and bit-select line B-2 is chosen to the timing of 4–5. The bit-select line B3 is chosen to the timing of 6–9, and bit-select line B4 is chosen to the timing of 10–17. Bit-select line B5 is chosen to the timing of 18–33, bit-select line B6 is chosen to the timing of 34–65, the bit-select line B1 is again chosen to the timing of 66, and bit-select line B6 is chosen to the timing of —97–128.

[0123] Thus, much more many gradation-ization can be attained by constituting.

[0124] In addition, in the example of drawing 14, the same bit-select line is chosen twice among one frame. This is because the problem of the animation false contour same with having become a problem by PDP occurs by the approach of obtaining luminescence corresponding to each bit only once among one frame. However, what is necessary is for the bit (for example, bit-select line B6 and B5) near MSB to divide a selection period finely, and just to make it distribute it within an one-frame period, in order to obtain further many luminescence like said drawing 4 and to improve said animation false contour further.

[0125] Moreover, since the direction which makes a luminescence period a part of one-frame period moves with the effectiveness of said cure against animation false contour rather than making all one-frame periods into a luminescence period, and there is effectiveness of the cure against dotage, it is desirable. In order to make this nonluminescent condition, to hold the electrical potential difference which makes organic EL device 62a nonluminescent to one of six ferroelectric thin film capacitors C1–C6 of drawing 13, or to replace with that one ferroelectric thin film capacitor, to prepare wiring connected with the electrical potential difference which makes organic EL device 62a nonluminescent, and what is necessary is just made to perform actuation which chooses that ferroelectric thin film capacitor or wiring.

[0126] It will be as follows if the 7th gestalt of operation of this invention is explained based on drawing 15 R> 5.

[0127] Drawing 15 is the electrical diagram of four pixel fields in the display of the 7th gestalt of operation of this invention. The configuration of this drawing 15 is similar to above-mentioned drawing 13 and the configuration of drawing 3, attaches and shows the same reference mark to a corresponding part, and omits that explanation. it should observe — it is that the bit-select line B1 – B6 are classified into two, B1–B3, and B4 – B6, and are uniformly arranged with this configuration at each space. That is, although the point that the bit-select line B1 – B6 are shared by contiguity space is the same as that of the configuration of said drawing 13, with the configuration of drawing 13, to being arranged by the

space which the bit-select line B1 – B6 share collectively, it is divided into two and is dispersedly arranged in them by this configuration.

[0128] Therefore, the number of wiring can be balanced and display homogeneity can be improved.

[0129] In addition, although the write-in period over the ferroelectric thin film capacitors C1–C6 in actuation as shown by said drawing 14 turns into 3 unit time amount from 2 unit time amount, since others are the same, the detail is omitted here.

[0130] It will be as follows if the 8th gestalt of operation of this invention is explained based on drawing 16 R> 6.

[0131] Drawing 16 is the electrical diagram of two pixel fields in the display of the 8th gestalt of operation of this invention. The configuration of this drawing 16 is similar to the configuration of above-mentioned drawing 14, attaches and shows the same reference mark to a corresponding part, and omits that explanation. it should observe — it is that that to which the selection output is decoded within each pixel A11 and A21, and it corresponds of the ferroelectric thin film capacitors C1–C8 with this configuration using three bit-select lines B1–B3 is chosen. For this reason, eight ferroelectric thin film capacitors C1–C8 are formed as mentioned above from $2^3 = 8$. Moreover, if it corresponds to the odd-numbered ferroelectric thin film capacitors C1, C3, C5, and C7, TFTQ31, Q33, Q35, and Q37 of N type are prepared, respectively. If it corresponds to the even-numbered ferroelectric thin film capacitors C2, C4, C6, and C8, while preparing TFTQ32a of P type, Q34a, Q36a, and Q38a, respectively, TFTQ81–Q86 for decoding said selection signal are prepared.

[0132] Therefore, the rate of a wiring field can be made still smaller.

[0133]

[Effect of the Invention] As mentioned above, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component, while being chosen by the selection line. Corresponding to the content of storage of the memory device, the electrical potential difference of a reference line is impressed to an electro-optics component. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data In realizing a multi-gradation display and the display of another image, it prepares several bits corresponding to the class of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, or image, and display actuation of said electro-optics component is carried out with the part or all outputs.

[0134] So, when an image which can use a part of outputs, and can perform digital gradation control by time sharing, and is different with a part of outputs and a residual output can be displayed and all outputs are used simultaneously, the addition electrical potential difference and current of an output of each bit can perform analog gradation control.

[0135] Since the bit-select line which is incorporated by the memory device to which the data of each bit correspond using a common signal line, and chooses those bits by this is taken about in common between bit ranking equal to mutual, the number of wiring is reducible. If D/A conversion is performed further again by driving an electro-optics component by the duty of time sharing with the data of a multi-bit, the power consumption accompanying conversion is also reducible.

[0136] Moreover, as mentioned above, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component, while being chosen by the selection line. Corresponding to the content of storage of the memory device, the electrical potential difference of a reference line is impressed to an electro-optics component. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data In realizing a multi-gradation display and the display of another image, the same signal line is received in the memory device formed corresponding to each electro-optics component. While preparing several bits corresponding to a part of class [at least] of the gradation which should be displayed, and/or image The 2nd active component is

intervened between each memory device, said 1st active component, and an electro-optics component, and read-out to the writing / electro-optics component to the memory device of data is controlled by choosing the 2nd active component alternatively by the bit-select line.

[0137] So, an image which can realize the digital multi-gradation display by time sharing, and/or is different can also be displayed. And since it is incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual, the data of a multi-bit can reduce the number of wiring. Moreover, when performing D/A conversion by driving an electro-optics component by the duty of time sharing with the data of the multi-bit, the power consumption accompanying conversion can also be reduced. Once it writes data in a memory device in the change display of a different image further again, it is unnecessary and a low power can realize actuation of external CPU etc.

[0138] As mentioned above, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component further again, while being chosen by the selection line. Corresponding to the content of storage of the memory device, the electrical potential difference of a reference line is impressed to an electro-optics component. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data While preparing several bits corresponding to the class of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, or image in realizing a multi-gradation display and the display of another image Said the 1st active component and its selection line also correspond to each memory device individually, and are formed, and the 3rd active component further chosen alternatively by the bit-select line between each memory device and an electro-optics component is intervened, respectively.

[0139] So, an image which can realize the digital multi-gradation display by time sharing, and/or is different can also be displayed. And since it is incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual, the data of a multi-bit can reduce the number of wiring. Moreover, when performing D/A conversion by driving an electro-optics component by the duty of time sharing with the data of the multi-bit, the power consumption accompanying conversion can also be reduced.

[0140] Moreover, as mentioned above, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component, while being chosen by the selection line. Corresponding to the content of storage of the memory device, the electrical potential difference of a reference line is impressed to an electro-optics component. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data While preparing several bits corresponding to the number of gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line in realizing a multi-gradation display, the 1st active component and its selection line also correspond to each memory device individually, and are formed.

[0141] So, the addition electrical potential difference and current of an output of each memory device can perform analog gradation control. And since it is incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual, the data of a multi-bit can reduce the number of wiring.

[0142] As mentioned above, the indicating equipment of this invention incorporates the data of a signal line to a memory device by the 1st active component further again, while being chosen by the selection line. Corresponding to the content of storage of the memory device, the electrical potential difference of a reference line is impressed to an electro-optics component. In the display which attained power-saving of a signal-line actuation circuit as performed storage maintenance actuation for every electro-optics component and did not perform the rewrite of the same data While preparing several bits

corresponding to the class of the gradation which should display the memory device formed corresponding to each electro-optics component to the same signal line, or image in realizing a multi-gradation display. It corresponds to each memory device individually, the 2nd active component is intervened between said 1st active component and an electro-optics component, and a corresponding memory device, and data are stored in a corresponding memory device by choosing this 2nd active component alternatively by the bit-select line.

[0143] So, the addition electrical potential difference and current of an output of each memory device can perform analog gradation control. And since it is incorporated in order by each memory device by time sharing using a common signal line and a bit-select line is taken about in common between bit ranking equal to mutual, the data of a multi-bit can reduce the number of wiring.

[0144] Moreover, the indicating equipment of this invention shares said bit-select line by contiguity space in matrix display equipment as mentioned above.

[0145] So, wiring area can be reduced and much more many gradation-ization can be attained.

[0146] As mentioned above, the indicating equipment of this invention classifies said bit-select line into two, and distributes and arranges it in each space further again.

[0147] So, the number of wiring can be balanced and display homogeneity can be improved.

[0148] Moreover, the indicating equipment of this invention is further equipped with a decoding means to decode the select data of said bit-select line, as mentioned above.

[0149] So, the rate of a wiring field can be made still smaller.

[0150] The indicating equipment of this invention forms said memory device with a ferroelectric thin film capacitor as mentioned above further again.

[0151] So, circuit area required for a memory device can be made smaller than the case where it realizes in the SRAM circuit which uses transistors, such as TFT.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the rough configuration of the display of the 1st gestalt of operation of this invention.

[Drawing 2] It is the block diagram showing the example of 1 configuration of SRAM in said indicating equipment.

[Drawing 3] It is the electrical diagram of one pixel field for explaining the configuration of the memory device in said display.

[Drawing 4] It is the wave form chart of the bit-select line in the indicating equipment of drawing 1, and a selection line.

[Drawing 5] It is the electrical diagram of one pixel field in the display of the 2nd gestalt of operation of

this invention.

[Drawing 6] It is the wave form chart of the bit-select line in the indicating equipment of drawing 5 , a selection line, and a signal line.

[Drawing 7] It is the electrical diagram of one pixel field in the display of the 3rd gestalt of operation of this invention.

[Drawing 8] In the display of the 3rd gestalt of operation of said this invention, it is the electrical diagram showing the configuration of the D/A conversion circuit which can realize low-power-ization.

[Drawing 9] It is the electrical diagram of one pixel field in the display of the 4th gestalt of operation of this invention.

[Drawing 10] It is the wave form chart of the bit-select line in the indicating equipment of drawing 9 , a selection line, and a signal line.

[Drawing 11] It is the electrical diagram showing the very end-configuration which controlled the current value, without using time-sharing gradation to the electro-optics component of a current actuation mold using the configuration of drawing 9 .

[Drawing 12] It is the electrical diagram of one pixel field in the display of the 5th gestalt of operation of this invention.

[Drawing 13] It is the electrical diagram of four pixel fields in the display of the 6th gestalt of operation of this invention.

[Drawing 14] It is the wave form chart of the bit-select line in the indicating equipment of drawing 13 , and a selection line.

[Drawing 15] It is the electrical diagram of four pixel fields in the display of the 7th gestalt of operation of this invention.

[Drawing 16] It is the electrical diagram of two pixel fields in the display of the 8th gestalt of operation of this invention.

[Drawing 17] It is the block diagram showing the rough configuration of the indicating equipment of the typical conventional technique.

[Drawing 18] It is the circuit diagram showing the configuration of each pixel section in the display of drawing 17 in a detail.

[Drawing 19] It is drawing showing the configuration of each pixel section in the display of other conventional techniques.

[Drawing 20] It is the circuit diagram showing the configuration of the memory cell in the display of drawing 19 in a detail.

[Drawing 21] It is the block diagram showing the configuration of the indicating equipment of the conventional technique of further others.

[Drawing 22] It is the circuit diagram showing an example of the circuitry of each pixel in the display shown by drawing 21 .

[Drawing 23] It is the circuit diagram showing other examples of the circuitry of each pixel in the display shown by drawing 21 .

[Description of Notations]

61 Display

62 62a Organic-EL device (electro-optics component)

63 63a Substrate

64 CPU

65 Memory

66 SRAM

67 Controller Driver

68 Bit Controller

71 Serial IN Control Circuit

72 Serial OUT Control Circuit

73 Parallel OUT Control Circuit
74 75 Address buffer
76 Low Decoder
77 Column Decoder
78 Selector
79 Memory Array
80 81 Gate
82 Buffer
91 Liquid Crystal (Electro-optics Component)
A Pixel field
A11, A12, A21, A22 Pixel
B;B1 – B6 Bit-select line
C1–C8 Ferroelectric thin film capacitor (memory device)
C11, C21 Capacitor
C12, C22 Capacitor
G: Ga, Gb Selection line
INV1, INV2 CMOS inverter
M1, M2 Memory device
P1,P2,N1,N2 TFT
Q1 TFT (1st active component)
Q2, Q2a TFT (electro-optics component)
Q11, Q12 TFT (1st active component)
Q31–Q37;Q32a, Q34a, Q36a, Q38aTFT (2nd active component)
Q51, Q52 TFT (3rd active component)
Q61;Q62,Q63 TFT
Q71, Q72 TFT (2nd active component)
Q81–Q86 TFT (decoding means)
R Reference line
R11, R12;R2, R3 Resistance
S Signal line

[Translation done.]

(11)特許出願公開番号:

特開2002-278498

(P2002-278498A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)IntCl. ⁷	識別記号	FI	ページト*(参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 2 H 0 9 2
	6 1 1		6 1 1 A 2 H 0 9 3
	6 2 1		6 2 1 M 5 C 0 0 6
	6 3 1		6 3 1 H 5 C 0 8 0
	6 4 1		6 4 1 J 5 C 0 9 4

審査請求 未請求 請求項の数9 OL (全 23 頁) 最終頁に続く

(21)出願番号 特願2001-153097(P2001-153097)

(22)出願日 平成13年5月22日(2001.5.22)

(31)優先權主張番号 特願2001-3051(P2001-3051)

(32)優先日 平成13年1月10日(2001.1.10)

(33)優先権主張国 日本(JP)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 沼尾 孝次

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

(74) 代理人 100080034

三 謙 原 士 理 弁

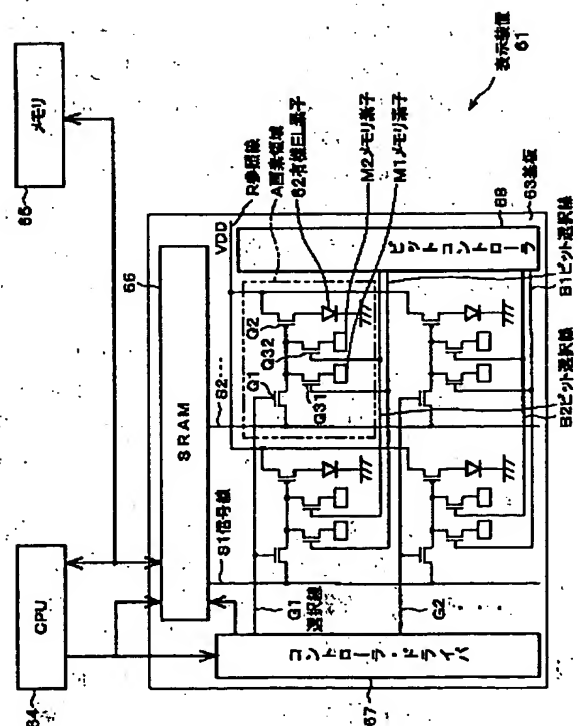
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 選択線Gによって選択されている間に第1のアクティブ素子Q1によって信号線Sのデータをメモリ素子Mに取り込み、そのメモリ素子Mの記憶内容に対応して電気光学素子を構成するアクティブ素子Q2が参照線Rの電圧VDDを有機EL素子62に印加することで、画素毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、省電力化を図るようにした表示装置61において、多階調表示を実現するにあたって、配線数および消費電力を削減する。

【解決手段】 前記メモリ素子Mを、表示すべき階調に対応したM1、M2とし、それに個別的に対応する第2のアクティブ素子Q31、Q32と、相互に等しいビット順位の素子Q31、Q32の制御入力端間に共通に引回され、択一的に選択されるビット選択線B1～B6を設け、選択線Gの非選択期間にデータを書込み、選択期間にビット選択線B1～B6をビットの重みの期間だけ選択する。



(2)

【特許請求の範囲】

【請求項1】マトリクス状に区画された各領域に電気光学素子が配設され、前記各領域に設けられた第1のアクティブ素子を介して信号線からメモリ素子にデータを取込み、そのメモリ素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、各電気光学素子に対応する前記メモリ素子を同一の信号線に対して複数個設け、前記各メモリ素子の一部または全部の出力によって前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項2】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別的に対応して設けられる第2のアクティブ素子と、

相互に等しいビット順位の第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間は前記第1のアクティブ素子を介するデータを対応するメモリ素子に格納させ、前記選択線が選択されていない期間は対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする表示装置。

【請求項3】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別的に対応して設け、前記各メモリ素子に個別的に対応して設けられる第3のアクティブ素子と、

相互に等しいビット順位の第3のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする表示装置。

【請求項4】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の少なくと

も一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別的に対応して設け、

前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項5】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の少なくとも一部分に対応したビット数個設け、

前記各メモリ素子に個別的に対応して設けられる第2のアクティブ素子と、

相互に等しいビット順位の第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間に前記第1のアクティブ素子を介するデータを対応するメモリ素子に格納させるビット選択線とを含み、

前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項6】前記各電気光学素子がマトリクス状に配列され、前記ビット選択線を隣接行間で共用することを特徴とする請求項2～5の何れかに記載の表示装置。

【請求項7】前記ビット選択線を2つに区分し、各行間に分散して配設することを特徴とする請求項6記載の表示装置。

【請求項8】前記ビット選択線の選択データをデコードするデコード手段をさらに備えることを特徴とする請求項2～7の何れかに記載の表示装置。

【請求項9】前記メモリ素子を、強誘電体薄膜コンデンサで形成することを特徴とする請求項1～8の何れかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイやEL (Electro Luminescence) ディスプレイなどとして好適に実現される薄型の表示装置に関し、特に画素にメモリ機能を持たせたものに関する。

【0002】

【従来の技術】近年、前記液晶ディスプレイ、ELディスプレイ、FED (Field Emission Device) ディスプレイ等の薄型の表示装置の開発が活発に行われている。なかでも、液晶ディスプレイや薄膜ELディスプレイは、その軽量性、低消費電力性を活かし、携帯電話や携帯型のパーソナルコンピュータ等の表示装置として注目されている。一方、これらの携帯機器では、搭載される機能が増加の一途を辿り、電源用バッテリーの高容量化は勿論のこと、表示装置に対しても、更なる低消費電力化による使用時間の長時間化が強く要求されている。

(3)

3

【0003】この表示装置の低消費電力化のための手法として、典型的な従来技術である特開平8-194205号公報には、階調表示を低消費電力で行うために、各画素毎にメモリ機能を持たせ、その記憶内容に対応した基準電圧をスイッチングすることで、同一画像を表示する場合の周期的な再書き込みを停止し、駆動回路の消費電力を低減することが示されている。

【0004】すなわち、図17で示すように、第1のガラス基板上には画素電極1がマトリクス状に配置されており、その画素電極1間には横方向に走査線2が、縦方向に信号線3が配置されている。また、走査線2と平行に、参照線4が配置されている。走査線2と信号線3との交差部には後述するメモリ素子5が設けられ、該メモリ素子5と画素電極1との間にはスイッチ素子6が介在されている。

【0005】前記走査線2は1垂直周期毎に走査線ドライバ7によって選択的に制御され、前記信号線3は1水平周期毎に信号線ドライバ8によって一括して制御され、前記参照線4は参照線ドライバ9によって一括して制御される。前記第1のガラス基板上には所定距離だけ離れて第2のガラス基板が対向配置されており、該第2のガラス基板の対向面には対向電極が形成されている。そして、2つのガラス基板間に、表示材料として、電気光学素子である液晶が封入されている。

【0006】図18は、図17における各画素部の構成を詳細に示す回路図である。相互に直交するように形成された走査線2と信号線3との交差部に、2値データを保持する前記メモリ素子5が形成されており、このメモリ素子5に保持されている情報は、TFTから成る3端子の前記スイッチ素子6を介して出力される。スイッチ素子6の制御入力端には前記メモリ素子5からの出力が与えられ、一端には前記参照線4の基準電圧 V_{ref} が与えられ、他端には前記画素電極1から液晶層10を介して前記対向電極11の共通電圧 V_{com} が与えられる。したがって、メモリ素子5の出力に応じてスイッチ素子6の一端から他端への抵抗値が制御され、液晶層10のバイアス状態を調整している。

【0007】この図18の構成では、メモリ素子5には、Poly-Si TFTから成る2段のインバータ12、13を用い、正帰還された形のメモリ回路、すなわちスタティック型メモリ素子が用いられている。前記走査線2の走査電圧 V_g がハイレベルとなり、該走査線2が選択されると、TFT14が導通状態となり、信号線3から与えられる信号電圧 V_{sig} は、該TFT14を介してインバータ12のゲート端子へ入力される。このインバータ12の出力は、インバータ13で反転されて該インバータ12のゲート端子に再入力され、こうしてTFT14が導通状態のときにインバータ12に書き込まれたデータが、同極性で該インバータ12に帰還され、再度該TFT14が導通状態となるまで保持される。

4

【0008】また、このようにPoly-Si TFTを用いてスタティック型メモリ素子を画素毎に作込む別の構成が、他の従来技術である特開平2-148687（特許2729089）号公報に開示されている。図19は、その従来技術における各画素部の構成を示す回路図である。この従来技術では、各画素は、複数のメモリセル m_1, m_2, \dots, m_n （図19では、 $n=4$ ）と、定電流回路21と、前記各メモリセル $m_1 \sim m_n$ のデータによって制御され、前記定電流回路21の基準電流を作成するFET $q_1 \sim q_n$ と、前記定電流回路21からの電流で駆動される有機EL素子22とを備えて構成されている。同じ画素に対応したメモリセル $m_1 \sim m_n$ には、共通にロー電極制御信号 v_1 が与えられ、また個別に n ビットのコラム電極制御信号 $b_1 \sim b_n$ が与えられる。

【0009】定電流回路21は、FET23、24を用いたカレントミラー回路であるので、有機EL素子22を流れる電流は、相互に並列に接続されたFET $q_1 \sim q_n$ を流れる電流の総和である前記基準電流によって決定され、またこのFET $q_1 \sim q_n$ を流れる電流は、メモリセル $m_1 \sim m_n$ に保存されたデータによって決定されることになる。

【0010】各メモリセル $m_1 \sim m_n$ は、たとえば図20で示すように構成されている。すなわち、前記ロー電極制御信号 v_1 によって制御される入力用のインバータ25と、保持用のインバータ26と、帰還用のインバータ27と、前記ロー電極制御信号 v_1 および入力用のインバータ25の出力にตอบสนองして、前記保持用のインバータ26のゲートに、前記コラム電極制御信号 $b_1 \sim b_n$ を入力するか、帰還用のインバータ27の出力を帰還するのかを制御するMOS伝送ゲート28、29とを備えて構成されている。したがって、保持用のインバータ26の出力が帰還用のインバータ27およびMOS伝送ゲート29を介して該保持用のインバータ26のゲートに帰還されるスタティック型のメモリ素子構成となっている。

【0011】また、さらに他の従来技術として、画像メモリを表示部の外に配置した液晶表示装置の回路構成が、特開2000-227608号公報に開示されている。図21は、その従来技術の表示基板のブロック図である。この従来技術では、表示部31は、ラインバッファ32を介して画像メモリ33に接続されている。前記画像メモリ33は、メモリセルがマトリクス状に配列されたランダムアクセスメモリの構成となっており、表示部31の画素と同一のアドレス空間を有するビットマップ構成を有している。

【0012】アドレス信号34は、メモリ制御回路35を介して、メモリライン選択回路36およびコラム選択回路37へ入力される。前記アドレス信号34によって指定されたメモリセルが、図示しないコラム線およびライン線によって選択され、そのメモリセルへ表示データ

(4)

5

38が書込まれる。こうして書込まれた表示データ38は、メモリライン選択回路36に入力されたアドレス信号によって、選択画素を含む1ライン分のデータとしてラインバッファ32に出力される。ラインバッファ32は、表示部31の信号配線に接続されているので、この読出された表示データ38は、図示しない信号配線へ出力される。

【0013】一方、前記アドレス信号34はまた、アドレスライン変換回路39にも入力されており、表示部31の図示しないライン選択配線の内、前記アドレス信号34を変換して得られたライン選択配線が、表示ライン選択回路40によって選択され、選択電圧が印加される。このような動作によって、画像メモリ33内の表示データ38が、表示部31へ書込まれる。

【0014】図22は、前記表示部31における各画素の回路構成の一例を示す回路図である。ライン選択配線41が前記表示ライン選択回路40によって選択されることで、該ライン選択配線41に接続される制御TF T 42が制御され、信号配線43を介して前記ラインバッファ32から与えられる表示データ38は、共通配線44と前記制御TF T 42との間に設けられるコンデンサ45に保持され、このコンデンサ45の端子電圧によって、駆動TF T 46の導通／非導通状態が制御される。前記駆動TF T 46が導通状態となるか、または非導通状態となるかによって、画素電極47には、液晶基準配線48から与えられる電圧が、直接印加されるか、または前記駆動TF T 46の端子間に設けられるコンデンサ49を介して間接的に印加されるかが決定される。

【0015】また、図23は、前記表示部31における各画素の回路構成の他の例を示す回路図である。この構成では、液晶を駆動するTF Tとして、アナログスイッチ51を用いている。このアナログスイッチ51は、PチャネルのTF T 52およびNチャネルのTF T 53から構成されており、該アナログスイッチ51を駆動するために、サンプリングコンデンサ54、55およびサンプリングTF T 56、57から成るメモリ回路が、前記各TF T 52、53にそれぞれ対応して2系統設けられている。

【0016】前記サンプリングTF T 56、57は、相互に極性の異なる2本のデータ配線58、59にそれぞれ接続されるとともに、共通に前記ライン選択配線41に接続され、ライン選択配線41によって該サンプリングTF T 56、57の導通／非導通状態が制御され、サンプリングコンデンサ54、55に前記データ配線58、59の電圧D、 \bar{D} がそれぞれ蓄えられる。なお、このアナログスイッチ51を駆動するための極性の異なる電圧D、 \bar{D} を、上記のようにメモリ回路を2系統設けて蓄えるのではなく、画素内部に設けたインバータ回路で生成する構成や、メモリ回路の構成としては、半導体に用いられるメモリ回路の構成をTF Tを用いて表示

6

部31上に実現してもよいことが記載されている。

【0017】このように、特開2000-227608号には、液晶ディスプレイ用の表示部31外に画像メモリ33を持ったポリシリコンTF T基板の構成が開示されている。

【0018】

【発明が解決しようとする課題】しかしながら、特開平8-194205号の従来技術では、図18に示すように、1つの画素が、液晶層10と、液晶駆動用のスイッチ素子6と、1ビットのメモリ素子5とから構成されており、1つの液晶素子当たり白黒2値表示はできても、3階調以上の多階調表示はできないという問題がある。

【0019】同様に、特開2000-227608号の従来技術でも、図22に示すように、1つの画素には、液晶素子と、コンデンサ45から成る1ビットのメモリ素子しか構成されないのので、上記1つの液晶素子当り、白黒2値表示しかできないという問題がある。

【0020】この点、特開平2-148687号の従来技術では、図19に示すように、1つの画素が、有機EL素子22と、カレントミラー回路21と、複数のメモリセル $m1 \sim mn$ とを備えて構成されており、前記メモリセル $m1 \sim mn$ の状態を書換えることで、前記多階調表示を実現することができる。

【0021】ところが、図19の構成では、多階調表示に必要なメモリセル数 n だけ、データ側配線であるコラム電極制御信号 $b1 \sim bn$ が必要になるので、多階調表示しようとする程、画素が配線で覆われてしまい、メモリセル等を作成するための領域が狭くなるという新たな問題が生じる。

【0022】また、特開平2000-227608号の構成では、画像メモリ33から1走査ライン分のデータが並列に読出され、ラインバッファ32へ送出されている。このように画像メモリ33からバッファ回路（または信号線ドライバ）へデータを並列に送出するメリットは、1ライン分のデータを、一旦パラレル／シリアル変換し、シリアルデータとして、図17に示されるような信号線ドライバ8の図示しないシフトレジスタ内を転送させ、再度シリアル／パラレル変換することに伴う消費電力を削減する効果があり、その分低消費電力化が可能となっている。

【0023】しかしながら、そのような構成で、画素当たり3階調以上の多階調表示を行う場合、画像メモリ33から読出したデータを信号線ドライバ8内のD/A変換回路でアナログ電圧に変換する構成となり、D/A変換に伴う電力消費が大きいという問題がある。

【0024】さらにまた、特開平2-148687号のような構成でも、FET $q1 \sim qn$ によって作成され、カレントミラー回路21のFET23側を流れる前記基準電流は無駄となるので、このカレントミラー回路21を一種のD/A変換回路と考えると、同様にD/A変換

(5)

7

に伴う消費電力の問題がある。

【0025】本発明の目的は、多階調表示を実現するにあたって、表示領域における配線数を削減することができるとともに、消費電力を削減することができる表示装置を提供することである。

【0026】

【課題を解決するための手段】本発明の表示装置は、マトリクス状に区画された各領域に電気光学素子が配設され、前記各領域に設けられた第1のアクティブ素子を介して信号線からメモリ素子にデータを取込み、そのメモリ素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、各電気光学素子に対応する前記メモリ素子を同一の信号線に対して複数個設け、前記各メモリ素子の一部または全部の出力によって前記電気光学素子を表示駆動する。

【0027】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個、たとえば8階調とすると3個設ける。そして、その一部または全部の出力によって前記電気光学素子を表示駆動する。

【0028】したがって、一部の出力を使用した場合、ビットの重みに対応して順次出力を切換えることで時分割によるデジタル階調制御を行うことができ、また一部の出力と残余の出力とで異なる映像を表示することもできる。たとえば、 n ビットのデータでは、 2^n の階調の1つの映像を表示したり、2階調（1ビット階調）の n 個の映像を切換え表示したりすることは勿論のこと、 2^{n-1} の階調の映像と、2階調（1ビット階調）の映像との切換え表示等も可能となる。一方、全部の出力を同時に使用した場合、各ビットの出力の加算電圧や電流によってアナログ階調制御を行うことができる。

【0029】これによって、共通の信号線を使用して各ビットのデータが対応するメモリ素子に取込まれ、またそれらのビットを選択するビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。さらにまた、マルチビットのデータによって電気光学素子を時分割のデューティで駆動することで、D/A変換に伴う電力消費も削減することができる。

【0030】また、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子がそ

8

のメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別的に対応して設けられる第2のアクティブ素子と、相互に等しいビット順位の第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間は前記第1のアクティブ素子を介するデータを対応するメモリ素子に格納させ、前記選択線が選択されていない期間に対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする。

【0031】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現する。このために、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設ける。たとえば8階調必要な場合は、各電気光学素子に対応しては2個設け、外部のRAMに1個設けたり、各電気光学素子に対応して3個総て設ける。

【0032】一方、各メモリ素子に個別的に対応して、前記第1のアクティブ素子および電気光学素子と対応するメモリ素子との間には、第2のアクティブ素子が介在され、前記選択線が選択されている間は、前記第1のアクティブ素子を介する各ビットのデータが、この第2のアクティブ素子がビット選択線によって択一的に選択されることで、対応するメモリ素子に格納される。これに対して、前記選択線が選択されていない期間は、前記第2のアクティブ素子がビット選択線によって択一的に選択されることで、対応するメモリ素子のデータは電気光学素子に出力される。

【0033】すなわち、たとえば前記多階調表示を実現する場合、3ビットのデータでは、第1～第3の各ビットのデータが1であるとする、先ず第1のビットに対応したメモリ素子からの1のデータが単位期間 T だけ第2のアクティブ素子を介して電気光学素子に与えられ、次に第2のビットに対応したメモリ素子からの1のデータが期間 $2T$ だけ第2のアクティブ素子を介して電気光学素子に与えられ、続いて第3のビットに対応したメモリ素子からの1のデータが期間 $4T$ だけ第2のアクティブ素子を介して電気光学素子に与えられる。この場合、前記参照線の電圧は、電気光学素子に、0～7の前記8階調の内の、7の階調で印加され、こうして時分割によ

9

るデジタル多階調表示を実現することができる。

【0034】また、上述のように第2のアクティブ素子によって一部のメモリ素子の出力を切換えて使用する場合、その一部の出力と残余の出力とで異なる映像を表示することもできる。すなわち、 n ビットのデータでは、上述のように 2^n の階調の1つの映像を表示するだけでなく、2階調（1ビット階調）の n 個の映像を切換えて簡単な動画を表示したり、 2^{n-1} の階調の映像と、2階調（1ビット階調）の映像との切換え表示等も可能となる。

【0035】これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費も削減することができる。さらにまた、異なる映像の切換え表示にあたって、一旦メモリ素子にデータを書込んでしまえば、外部のCPU等の動作は必要なく、低消費電力で実現することができる。

【0036】さらにまた、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および/または映像の種類の数少なくとも一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別に対応して設け、前記各メモリ素子に個別に対応して設けられる第3のアクティブ素子と、相互に等しいビット順位の第3のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする。

【0037】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個、たとえば8階調とすると3個設ける。

【0038】一方、前記第1のアクティブ素子およびその選択線も各メモリ素子に個別に対応して設けるとともに、各メモリ素子と電気光学素子との間には、ビット

(6)

10

選択線によって択一的に選択される第3のアクティブ素子をそれぞれ介在する。したがって、時分割によるデジタル多階調表示を実現することができ、および/または異なる映像を表示することもできる。

【0039】これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費を削減することもできる。

【0040】また、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の数少なくとも一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別に対応して設け、前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする。

【0041】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調数に対応したビット数個設けるとともに、第1のアクティブ素子およびその選択線も各メモリ素子に個別に対応して設ける。

【0042】したがって、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0043】さらにまた、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の数少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別に対応して設けられる第2のアクティブ素子と、相互に等しいビット順位の

(7)

11

第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間に前記第1のアクティブ素子を介するデータを対応するメモリ素子に格納させるビット選択線とを含み、前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする。

【0044】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設けるとともに、各メモリ素子に個別的に対応して、前記第1のアクティブ素子および電気光学素子と対応するメモリ素子との間に第2のアクティブ素子を介在し、この第2のアクティブ素子をビット選択線によって択一的に選択することで、対応するメモリ素子にデータを格納する。

【0045】したがって、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0046】また、本発明の表示装置は、前記各電気光学素子がマトリクス状に配列され、前記ビット選択線を隣接行間で共用することを特徴とする。

【0047】上記の構成によれば、配線面積を縮小し、一層の多階調化を図ることができる。

【0048】さらにまた、本発明の表示装置は、前記ビット選択線を2つに区分し、各行間に分散して配設することを特徴とする。

【0049】上記の構成によれば、配線数のバランスが取り、表示均一性を向上することができる。

【0050】また、本発明の表示装置は、前記ビット選択線の選択データをデコードするデコード手段をさらに備えることを特徴とする。

【0051】上記の構成によれば、配線領域の割合を一層小さくすることができる。

【0052】特に本発明は、表示エリアの各電気光学素子と対応した構成でメモリ素子を持ち、CPU等外部の装置から表示装置に表示すべき画像（や文字）データが書込まれるRAM（ランダム・アクセス・メモリ）を、表示エリアの外に表示装置と一体化して形成する場合に適用することが好ましい。

【0053】上記構成では、RAMからデータをパラレルに読出し、各電気光学素子へ表示することで低消費電

12

力化を図っているが、RAMと電気光学素子との間にD/A変換器があると、そのことだけで上記パラレル化した低消費電力効果がなくなる。

【0054】そこで、本発明のようにRAMと電気光学素子との間にD/A変換器を設けず、代わりにデジタル的なメモリを設け、多階調表示する構成とすることで、上記構成で目的とする低消費電力化を実現できるので、好ましい。

【0055】なお、上記構成で表示エリアの外に設ける画像メモリをRAMと表現しているのは、上記電気光学素子毎にスタティックメモリを設ける構成では、画像メモリは一時的にデータを保持すれば良いだけであるので、必ずしもSRAM構成を取らなくとも、DRAM構成でも良いと判断するからである。

【0056】さらにまた、本発明の表示装置は、前記メモリ素子を、強誘電体薄膜コンデンサで形成することを特徴とする。

【0057】上記の構成によれば、TFTなどのトランジスタを使用するSRAM回路で実現する場合よりも、メモリ素子に必要な回路面積を小さくすることができる。

【0058】

【発明の実施の形態】本発明の実施の第1の形態について、図1～図4に基づいて説明すれば、以下のとおりである。

【0059】図1は、本発明の実施の第1の形態の表示装置61の概略的構成を示す図である。この表示装置61は、電気光学素子を有機EL素子62としたELディスプレイであるけれども、前記液晶素子やFED素子が用いられてもよいことは言うまでもない。なお、本構成で基板63上に形成されるTFT（薄膜トランジスタ）素子は、たとえば特開平10-301536などでも説明されているCGS（Continuous Grain Silicon）TFT製作プロセスや、一般的に用いられているPoly-Si TFTプロセスなどで作成することができる。

【0060】この表示装置61では、大略的に、CPU（中央処理ユニット）64は、フラッシュメモリ兼SRAM（Static Random Access Memory）であるメモリ65との間でデータをやり取りして、表示すべきデータを前記基板63上のSRAM66に記憶させ、そのSRAM66内のデータをコントローラ・ドライバ67の指示によって書き込みおよび定期的な読出しを行わせて、各画素領域A内に形成されるメモリ素子Mに記憶させる。そして、このメモリ素子Mに記憶されているデータに従って参照線（電源線）Rの電圧VDDが前記有機EL素子62に与えられることで、画素毎に記憶保持動作に必要な電源を得るとともに、同一データの再書き込みを行わないようにして、信号線駆動回路である前記SRAM66の省電力化、および前記CPU64の電源OFFによる省電力化が図られている。

(8)

13

【0061】このため、前記コントローラ・ドライバ67からの選択線（ゲート信号線） G_i （ $i=1, 2, \dots, m$ 、総称するときは、以下参照符Gで示す）と、前記SRAM66からの信号線（データ信号線） S_j （ $j=1, 2, \dots, n$ 、総称するときは、以下参照符Sで示す）との交点には、第1のアクティブ素子であるN型のTFTQ1が形成され、コントローラ・ドライバ67によって選択電圧が印加されている選択線Gにゲートが接続されているTFTQ1によって、SRAM66から信号線Sに出力されているデータがメモリ素子Mに記憶される。また、メモリ素子Mからの出力は、前記有機EL素子62とともに電気光学素子を形成するP型のTFTQ2のゲートに与えられ、このTFTQ2によって前記参照線Rの電圧VDDが前記有機EL素子62に印加される。

【0062】なお、メモリ素子Mは、後述するようにスタティックメモリで実現される。この場合、前記SRAM66を、CPU64から出力されるデータ転送速度と、画素領域Aに配置されたメモリ素子Mへのデータ転送速度とを調整するバッファと考えれば、該SRAM66は一時的にデータを保持できればよいので、必ずしもSRAM構成を取らなくともよく、DRAM構成が用いられてもよい。この場合、どの画素に対応するデータが更新されたかを示すデータと共に記憶することで、更新されたデータに対応するメモリ素子Mのみを書換える構成とすることができる。

【0063】すなわち、表示装置61の画素領域Aに配置したメモリ素子Mは信号線S等を通して書換える必要がある。しかし、一般に信号線S等の浮遊容量は通常のRAMより大きいので、その書換え速度は通常のRAMより遅くなる。そこで、一時的にCPU64からのデータを保持するために表示領域外に通常のRAMと同等のRAMを持たせることになり、この場合、画素領域A外のRAMはDRAM構成でよい。

【0064】また、この画素領域A外に配置されるRAMには、後述するように、画素領域A内のメモリ素子Mに書込めなかったデータを保存する役割も持たせられる。たとえば、表示させたい階調数が6ビット階調のとき、画素に4ビット階調しか配置できなければ、残り2ビット分のデータを画素領域A外のRAMへ配置する。

【0065】さらにまた、後述するように複数の映像を表示切換え表示するときにも、より多くのメモリ素子が必要であり、この場合も画素領域A内に配置できなかったメモリデータを画素領域A外のRAMに配置するようになればよい。すなわち、画素領域A内のメモリ素子Mと画素領域A外のRAMとの間で表示データをやり取りし、通常は画素領域A内のメモリデータを表示し、他の画面に切換えるときは画素領域A外のRAMデータを画素領域A内のメモリ素子Mへ移し、（また、逆に画素領域A内のメモリデータを画素外のRAMへ戻し、）表示

14

を得ることも可能である。

【0066】また、前記SRAM66およびコントローラ・ドライバ67、さらにはCPU64も、基板63に一体化されてもよい。この場合、前記CGSTFT製作プロセスを用いて基板63に作込んでも、または単結晶半導体工程を用いて作った集積回路を基板63に後から実装するようにしてもよい。さらに、前記単結晶半導体工程を用いて作成した集積回路を後から実装する場合、基板63上に直接実装しても、または銅箔パターンで配線されたテープ上にTAB（Tape-Automated Bonding）技術によって一旦実装してから、改めてそのTCP（Tape Carrier Package）を基板63と結合させるようにしてもよい。

【0067】注目すべきは、本発明では、各画素領域A内に形成されるメモリ素子Mを、多階調表示を実現するにあたって表示すべき階調に対応したビット数個、または表示させたい複数の映像に必要なビット数個、もしくはそれらの組合わせに対応したビット数個以下の個数

（図1では、図面の簡略化のために、参照符M1、M2の2個）が設けられることである。各画素領域A内に形成されるメモリ素子Mの個数が、必要となる個数未満の場合には、不足するメモリ素子は前記SRAM66内に設けられ、必要に応じて画素領域A側とSRAM66側とで、データのやり取りが行われればよい。以下の説明は、多階調表示を想定したものとし、複数映像の表示については後述する。

【0068】図1の構成では、前記メモリ素子M1、M2に個別に対応して、前記TFTQ1、Q2間を接続するラインと、対応するメモリ素子M1、M2との間に、第2のアクティブ素子であるTFTQ31、Q32が介在される。また、前記TFTQ31、Q32を択一的に選択するために、ビット選択線B1、B2およびそのビット選択線B1、B2に選択電圧を発生させるビットコントローラ68が設けられている。ビットコントローラ68も、前記SRAM66等と同様に、基板63に一体化されてもよい。

【0069】図2は、前記SRAM66の一構成例を示すブロック図である。このSRAM66は、シリアルINコントロール回路71およびシリアルOUTコントロール回路72によるCPU64へのシリアル・I/Oポートとは別に、前記各信号線Sに対応する基板63のセグメント側1列（1, 2, ..., m）画素分のデータをパラレルに出力するポートであるパラレルOUTコントロール回路73を備えている。このパラレルOUTコントロール回路73はまた、各画素毎に、R、G、Bの3つのポートを有する。その他は、通常のSRAM回路と同様、アドレスバッファ74、75、ローデコーダ76、カラムデコーダ77、セクタ78、メモリアレイ79、およびチップセレクトや各種のイネーブル信号に対応したゲート80、81やバッファ82を備えている。

(9)

15

【0070】図3は、前記メモリ素子Mの構成を説明するための任意のi行j列目の1つの画素領域Aijの電気回路図である。この図3でも前述の図1と同様に、図面の簡略化のために、メモリ素子Mは参照符M1、M2の2個としている。以降、前記i行j列目を表す添字i、jは、特に必要な場合についてのみ付加し、そうでない場合は、説明の簡略化のために省略する。

【0071】これらのメモリ素子M1、M2は、P型のTFTP1とN型のTFTN1とから成るCMOSインバータINV1と、同様にP型のTFTP2とN型のTFTN2とから成るCMOSインバータINV2とが組合わされた2段インバータ構成であり、前記TFTQ3-1、Q32はインバータINV1の入力端に接続され、インバータINV1の出力端はインバータINV2の入力端に接続され、インバータINV2の出力端はインバータINV1の入力端およびTFTQ31、Q32に接続されるSRAM構成である。

【0072】したがって、前記SRAM66からのデータは、TFTQ1およびTFTQ31、Q32を介してインバータINV1の入力端に入力され、該インバータINV1で反転され、さらにインバータINV2で反転されて該インバータINV1の入力端に正帰還されて自己保持動作が行われるとともに、この出力がTFTQ31、Q32から電気光学素子を構成する前記TFTQ2に与えられる。

【0073】図4は、前記ビット選択線B1、B2および選択線Gの波形図である。この図4の例では、1フレーム期間Tfは127に分割されており、データの書き込み期間である1のタイミングで選択線Gがハイレベル（前記選択電圧）となり、かつビット選択線B1、B2が択一的にハイレベルとなって、各メモリ素子M1、M2に、同一の信号線Sを介して、SRAM66からのデータが取込まれ、表示期間である残余の2～127のタイミングでは選択線Gはローレベル（非選択電圧）となり、かつビット選択線B1、B2がそのビットの重みの比率に対応して択一的にハイレベルとなって、各メモリ素子M1、M2のデータがTFTQ2に出力される。

【0074】詳しくは、そのビットの重みに対応して、ビット選択線B1は単位期間Tだけ選択され、これに対してビット選択線B2は期間2Tだけ選択される。また、図4の例では、前記単位期間Tを1フレーム期間Tfの7/127としており、すなわち1フレーム期間Tf内で、 $(127-1) / \{(1+2) \times 7\} = 6$ 回だけ、交互に選択される。

【0075】したがって、1のタイミングでは前記のようにメモリ素子M1、M2へのデータの取込みが行われ、2～8のタイミングではビット選択線B1が選択されてメモリ素子M1のデータがTFTQ2に出力され、9～22のタイミングではビット選択線B2が選択されてメモリ素子M2のデータがTFTQ2に出力され、以

16

降同様に、23～29のタイミングではビット選択線B1が選択され、30～43のタイミングではビット選択線B2が選択され、…107～113のタイミングではビット選択線B1が選択され、114～127のタイミングではビット選択線B2が選択される。

【0076】また、選択線Gは、前記1フレーム期間毎に、その1/127の期間だけ、順に選択されてゆくことになるけれども、CPU64からSRAM66へ転送されるデータをコントローラ・ドライバ67がモニタし、表示画像の変更の必要のないときには、コントローラ・ドライバ67からの制御出力に应答して前記SRAM66はデータを出しせず、前記のように省電力となっている。

【0077】なお、前記1のタイミングでも、メモリ素子M1、M2のデータはTFTQ2に出力される。したがって、前記2～127のタイミングのみを表示期間とすると、階調エラーが生じることになる。一方、前記1のタイミングも表示期間とすると、SRAM66からのデータで直接TFTQ2が駆動されることになるけれども、メモリ素子M1、M2へのデータの書き込みによる電圧変動の影響が生じることになる。したがって、選択線Gがハイレベルであり、かつビット選択線B1、B2がハイレベルとなる期間の影響を考慮し、前記選択線Gがローレベルの間に、ビット選択線B1、B2がハイレベルである期間を調整すればよい。前記参照線Rの電圧VDDおよび信号線Sの選択時の電圧は、たとえば共に5～6Vである。

【0078】このようにメモリ素子Mを用いて省電力化を図るようにした表示装置61において、多階調表示を実現するにあたって、前記メモリ素子Mを、表示すべき階調に対応したビット数個のM1、M2だけ設けるとともに、前記TFTQ1、Q2との間にTFTQ31、Q32をそれぞれ設け、選択線Gが選択されている間はTFTQ1を介して各ビットのデータを時間分割で順次メモリ素子M1、M2に記憶し、選択線Gが選択されていない期間はその記憶しているデータをビットの重みの比率に対応してTFTQ2のゲートに与えることで、参照線Rの電圧VDDを時分割で駆動して電気光学素子62のデジタル多階調表示を実現することができる。

【0079】したがって、多階調表示のために、同様に複数のメモリセルm1～mnを用いる前記図19の構成と比較すると、本発明では、R、G、Bの各色毎に、1本の信号線Sと、R、G、Bの各色で共通の選択線Gおよびビット選択線B1、B2が必要になり、ビット数をxとすると、 $1本 \times 3(R, G, B) + 1本 + x本 = 4本 + x本$ となるのに対して、図19の構成では、 $x本 \times 3(R, G, B) + 1本$ （ロー電極制御信号線） $= 3x本 + 1本$ となり、配線数を大幅に削減することができる。これによって、各画素領域Aにおける配線の面積を縮小して、階調数を増加しても、メモリ素子M1、M2

(10)

17

等を作成するための領域を十分に確保することができる。

【0080】また、CPU64から表示領域外に設けたSRAM66にデータを書込み、CPU64からのデータの書込み速度とメモリ素子M1、M2へのデータの書込み速度との調整を行い、さらにSRAM66から直接メモリ素子M1、M2へ複数のビットデータをパラレルに書込むことで、従来の信号線駆動回路のようにSRAM66からのデータをシリアルに変換して転送する必要がなくなり、また各画素でデジタルデータを用いた階調表示を実現するので、SRAM66と画素との間に消費電力の大きなD/A変換回路が必要とならず、こうして低消費電力化を図ることができる。

【0081】特に、静止画像を表示する機会の多い携帯電話などでは、データ転送に伴う消費電力よりもデータをD/A変換することに伴う消費電力が大きいので、階調データをシリアルに送るために必要な電力より、階調データからアナログ電圧を発生させるために必要な電力の方が大きく、上記欠点を補って余りのある効果を期待することができる。

【0082】さらに、メモリ素子M1、M2は、通常のSRAMと同様に、2段のCMOSインバータINV1、INV2で構成されるので、各インバータINV1、INV2のP型TFTP1、P2とN型TFTN1、N2とのうち、導通状態となるTFTはどちらかが一方でしかなく、メモリ状態を維持している間に各インバータINV1、INV2を流れる電流が少なく、低消費電力である。

【0083】なお、上述の構成では、信号線Sは複数のビットで共用されるので、前記図19で示すようなメモリ素子数だけ信号線Sを確保する場合に比べて、データの転送周波数がビット数倍となる欠点はある。しかしながら、表示装置の画素数を $m \times n$ としたとき、SRAM66から従来の信号線駆動回路へシリアルにデータを転送すれば、必要な転送周波数は信号線Sのパラレル数 $\times n$ 倍となる。通常 n は80以上であるけれども、ビット数 x は8程度なので、上記の構成でもデータをパラレルに転送することによるメモリ素子M1、M2へのデータ転送速度を下げる効果は残る。

【0084】一方、以下に前記複数映像の表示について説明する。たとえば、メモリ素子Mの個数を k とすると、静止画像表示時に、そのメモリ素子Mからのデータを切換えて読出すことで、1ビット階調（2階調）の映像であれば、 k 個の映像を切換えて表示することができる。すなわち、2階調映像であれば k 個の映像、4階調映像であれば $k/2$ 個の映像、…と表示することができる。また、各映像は同じ階調数である必要はなく、たとえば j （ $j < k$ ）ビット階調の映像と、残余の $k-j$ ビット階調の映像との切換え表示を行うこともできる。こうして、簡単な動画を静止画像と同じ程度の消費電力で

18

表示させることも可能である。

【0085】また、このような静止画像を表示するとき、たとえば6ビット階調を表示したいのに、画素に4ビット分のメモリ素子しか配置できなければ、前記のように画素外のSRAM66から残余の2ビット分のデータを読出すようにすることも可能である。この場合、画素外のSRAM66には3ビット分のデータをSRAM構成で貯えられることが望ましい（残りはDRAM構成でよい）。

【0086】さらにまた、複数の映像を表示する場合、より多くのメモリ素子を用いる必要が出てくる。このときも、上記同様に、画素外のRAMから必要なビットデータを画素のメモリ素子へ読出して表示するようにすればよい。さらにまた、複数の映像表示に必要なデータのうち、一部の映像表示に必要なデータのみメモリ素子に記憶しておき、その他の映像を表示するときは画素外のRAMから新規にデータを受入れ（それと共に、メモリ素子のデータを画素外のRAMへ戻し、）CPUの電源を入れないまま、複数の映像表示や簡単な動画表示を得ることも可能である。

【0087】本発明の実施の第2の形態について、図5および図6に基づいて説明すれば、以下のとおりである。

【0088】図5は、本発明の実施の第2の形態の表示装置における1つの画素領域Aの電気回路図である。この図5の構成は、前述の図3の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。本構成でも、前述の図3の構成と同様に、図面の簡略化のために、メモリ素子Mは参照符M1、M2の2個としているけれども、3個以上のメモリ素子に対応可能である。

【0089】注目すべきは、本構成では、メモリ素子M1、M2のそれぞれに対応して、同一の信号線Sからデータを取込むための第1のアクティブ素子であるTFTQ11、Q12が設けられるとともに、メモリ素子M1、M2の出力を前記電気光学素子のTFTQ2に与える第3のアクティブ素子であるTFTQ51、Q52が設けられることである。前記TFTQ11は選択線Gaに選択電圧が与えられると信号線Sからのデータをメモリ素子M1に書込み、前記TFTQ12は選択線Gbに選択電圧が与えられると信号線Sからのデータをメモリ素子M2に書込む。

【0090】また、前記ビット選択線は参照符Bで示すように2つのメモリ素子M1、M2で共用されるようになっており、このため各メモリ素子M1、M2の出力を前記TFTQ2に択一的に与えるように、メモリ素子M1側のTFTQ51はP型であり、メモリ素子M2側のTFTQ52はN型となっており、これらTFTQ51、Q52のゲートに前記ビット選択線Bの選択電圧が与えられることで、メモリ素子M1とメモリ素子M2と

(11)

19

の何れか一方のみの出力がTFTQ2に与えられ、対応する期間だけ有機EL素子62に電流が流れることになる。

【0091】図6は、前記ビット選択線Bおよび選択線Ga、Gbならびに信号線Sの波形図である。この図6の例でも、1フレーム期間Tfは127に分割されており、データの書き込み期間である1のタイミングでは、選択線Ga、Gbが信号線Sに送出されたビットデータに従い、順次ハイレベル（前記選択電圧）となつて、各メモリ素子M1、M2にSRAM66からのデータが書き込まれる。表示期間である残余の2～127のタイミングでは、選択線Ga、Gbはローレベル（非選択電圧）となり、かつビット選択線Bがそのビットの重みの比率に対応してメモリ素子M1の選択電圧V1とメモリ素子M2の選択電圧V2とに切り替わり、各メモリ素子M1、M2のデータが択一的にTFTQ2に出力される。

【0092】このようにして、ビット選択線Bに送出された選択電圧がV1である期間とV2である期間との比率を1：2とすることで、多階調表示が行われる。また、メモリ素子M1、M2に異なる2値映像（文字や画像）データを記憶させておき、このビット選択線Bを1または複数のフレーム単位で周期的に電圧V1とV2とに切り替えることで、2つの映像が周期的に表示され、簡単な繰返し動画像が表示できる。このような機能は、携帯電話等の待受け画面として好まれる傾向がある。

【0093】本発明の実施の第3の形態について、図7および図8に基づいて説明すれば、以下のとおりである。

【0094】図7は、本発明の実施の第3の形態の表示装置における1つの画素領域Aの電気回路図である。この図7の構成は、前述の図5の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。本構成でも、前述の図3の構成と同様に、図面の簡略化のために、メモリ素子Mは参照符M1、M2の2個としているけれども、3個以上のメモリ素子が対応可能である。

【0095】前記図1および図5の構成では、階調表示を実現する手法として時間分割階調表示を用いている。しかしながら、本発明はそれに限定されるものではなく、また電気光学素子も有機EL素子62に限定されるものでもない。そこで、注目すべきは、本実施の形態は、電気光学素子として液晶91を用い、その液晶91へアナログ電圧を印加して階調表示を実現する場合の例を示すものである。

【0096】前記液晶91は、抵抗R11、R12の並列回路と、抵抗R2と相互に直列に接続されて、電源電圧VDDの参照線（電源線）RとGNDとの間に介在されている。本構成では、前記ビット選択線B1、B2；Bは設けられておらず、メモリ素子M1、M2の出力は、P型のTFTQ61、Q62にそれぞれ与えられ、

20

その導通／非導通を制御する。TFTQ61は前記抵抗R11、R12と並列に、TFTQ62は前記抵抗R2と並列に、それぞれ設けられる。また、液晶91と並列に抵抗R3が設けられている。

【0097】前記抵抗R11、R12が相互に並列に形成されるのは、1/2の抵抗値の抵抗を作成するためであり、エッチング条件等のプロセスの影響で、略等しい抵抗値の抵抗を作成することは比較的容易であるけれども、単体で前記1/2の抵抗値の抵抗を合わせて作成することは難しい。したがって、各抵抗R11、R12、R2、R3の抵抗値は相互に等しいことが望ましい。

【0098】以下、TFTQ61、Q62のON抵抗を無視すると、液晶91には、該TFTQ61、Q62が共に非導通状態のとき、

$$VDD \times (R3 / ((R11 // R12) + R2 + R3))$$

の電圧が印加され、TFTQ61が導通状態でTFTQ62が非導通状態のとき、

$$VDD \times (R3 / (R2 + R3))$$

の電圧が印加され、TFTQ61が非導通状態でTFTQ62が導通状態のとき、

$$VDD \times (R3 / ((R11 // R12) + R3))$$

の電圧が印加され、TFTQ61、Q62が共に導通状態のとき、VDDの電圧が直接印加されることになる。

なお、上記式で $(R11 // R12)$ とは、抵抗R11と抵抗R12との並列抵抗値であり、 $(R11 \times R12) / (R11 + R12)$ で表すことができる。

【0099】したがって、前述のように各抵抗R11、R12、R2、R3の抵抗値が相互に等しい場合、TFTQ61、Q62が共に非導通状態のとき、 $2VDD/5$ の電圧が印加され、TFTQ61が導通状態でTFTQ62が非導通状態のとき、 $VDD/2$ の電圧が印加され、TFTQ61が非導通状態でTFTQ62が導通状態のとき、 $2VDD/3$ の電圧が印加されることになる。このようにして、画素領域A内に簡単なD/A変換回路を作込むことも可能である。

【0100】このように各メモリ素子M1、M2に対応したTFTQ61、Q62を導通／非導通状態に切り替えたりすることで、参照線（電源線）Rから与えられた電源電圧VDDを分割し、電圧変換して電気光学素子へ印加する手法は、電気光学素子が液晶91場合に、特に有効である。また、分圧を前記抵抗R11、R12、R2、R3を行うのではなく、コンデンサで行うようにしてもよい。

【0101】なお、上記図7の構成では、複数の映像を切り替えて表示することはできないが、メモリ素子M1、M2とTFTQ61、Q62との間に第3のアクティブ素子を設け、該第3のアクティブ素子とメモリ素子M1、M2の組合せとの間で、映像を切り替えることも可能である。また、本構成の制御タイミングは、ビット選択

(12)

21

線Bがない点を除けば、前述の図6の制御タイミングと同じなので、ここではそのタイミングの説明は省略する。

【0102】ここで、上記図7の構成は、表示領域Aにおける配線数を削減する効果は有しているものの、低消費電力化の効果は薄い。そこで、より好ましくは、低消費電力化も実現可能なD/A変換回路の構成を、図8に示す。この図8の構成において、図7の構成に対応する部分には同一の参照符号を付して示す。注目すべきは、メモリ素子M1、M2の出力が、コンデンサC11、C21をそれぞれ介して液晶91に与えられることである。したがって、本構成では、抵抗を用いていないので、消費電力の増加が少なく、前記低消費電力化を達成することができる。

【0103】本構成では、液晶91の静電容量をCLCとし、コンデンサC11、C21の静電容量ををそれぞれ参照符と同一で示すと、メモリ素子M1、M2の出力が共にGND電位であるとき、液晶91には0の電圧が印加され、メモリ素子M1の出力がVDD電位でメモリ素子M2の出力がGND電位の時、

$$VDD \times C1 / (CLC + C11 + C21)$$
 の電圧が印加され、メモリ素子M1の出力がGND電位でメモリ素子M2の出力がVDD電位の時、

$$VDD \times C2 / (CLC + C11 + C21)$$
 の電圧が印加され、メモリ素子M1、M2の出力が共にVDD電位の時、

$$VDD \times (C11 + C21) / (CLC + C11 + C21)$$
 の電圧が印加される。

【0104】そこで、たとえば $C21 = 2 \times C11$ とし、C11をCLCと等しくなる位に、できるだけ大きくとり、電源電圧VDDを適切に設定すれば、液晶91を用いて多階調表示を行うことができる。

【0105】本発明の実施の第4の形態について、図9～図11に基づいて説明すれば、以下のとおりである。

【0106】図9は、本発明の実施の第4の形態の表示装置における1つの画素領域Aの電気回路図である。この図9の構成は、前述の図1、図5、図8の構成に類似している。本構成は、前述の図8のコンデンサを用いたD/A機能を用いて、有機EL素子62を駆動するTFTQ2のゲート電圧を発生させるものである。このため、電圧出力段である前記TFTQ2のゲートにコンデンサC21、C22の一方の端子を接続する。コンデンサC21の他方の端子はメモリ素子M2の出力に接続され、コンデンサC22の他方の端子はコンデンサC11、C12の一方の端子に接続される。コンデンサC11の他方の端子はメモリ素子M1の出力に接続され、コンデンサC12の他方の端子は電源電圧VDDの参照線Rに接続される。

【0107】そして、 $C21 = C11 = C12$ の静電容

22

量とし、 $C22 = 2 \times C21$ の静電容量とする。すなわち、いわゆるC-2C DAC構成とされる。このC-2CDAC構成については、ASIA DISPLAY'98のP285等に記載されているので、その原理的な説明は省略するが、このようなコンデンサを用いてD/A変換回路を構成し、その出力を有機EL素子62の駆動用のTFTQ2へ与えることも可能である。

【0108】また、本構成では、第1のアクティブ素子であるTFTQ1とメモリ素子M1との間に第2のアクティブ素子であるP型のTFTQ71が設けられ、TFTQ1とメモリ素子M2との間に第2のアクティブ素子であるN型のTFTQ72が設けられ、それらのTFTQ71、Q72のゲートには前記ビット選択線Bの選択電圧が与えられ、前記TFTQ1を介して、信号線Sのデータがメモリ素子M1、M2に択一的に書込まれる。

【0109】図10は、前記ビット選択線Bおよび選択線Gならびに信号線Sの波形図である。この図10の例でも、1フレーム期間Tfは127に分割されており、データの書込み期間である1のタイミングでは、選択線Gがハイレベル（選択電圧）となるとともに、ビット選択線Bが信号線Sに送出されたビットデータに従い、順次メモリ素子M1の選択電圧V1とメモリ素子M2の選択電圧V2とに切り替わり、各メモリ素子M1、M2にSRAM66からのデータが書込まれる。表示期間である残余の2～127のタイミングでは、選択線Gはローレベル（非選択電圧）となってデータの書込みが禁止されるので、ビット選択線Bは任意の電圧（図10では選択電圧V1）となる。

【0110】このように構成することによって、電流駆動型の電気光学素子であっても、時間分割階調を用いることなく、TFTQ2のゲート電圧を制御することで、対応する電流値を得て、階調表示を行うことができる。

【0111】また、電流駆動型の電気光学素子に対するメモリ素子M1、M2からの出力の電流変換の手法として、このようにTFTQ2のゲート電圧を制御して対応する電流を得る手法以外に、最も端的な手法として、各メモリ素子M1、M2に対応したスイッチング素子を導通/非導通状態に切換えることで、電源配線と電気光学素子との間の導電率を変化させ、電気光学素子へ電流を与える手法がある。これは、電気光学素子が有機EL素子の場合、特に有効である。その構成を、図11で示す。この構成では、メモリ素子M1、M2には前記TFTQ11、Q12によって前記信号線Sからそれぞれデータが書込まれ、その出力は、TFTQ61、Q62、Q63を制御する。TFTQ61～Q63は総て同じサイズで構成され、各TFTQ61～Q63は導通状態のとき、相互に等しい電流が流れることになる。

【0112】したがって、ビットの重みに従い、メモリ素子M2は、メモリ素子M1に対して2倍の電流を有機EL素子62に供給することができ、このようにメモリ

(13)

23

素子M1, M2にSRAM66からのデータが書込まれるだけで、時間分割を用いなくとも、電流駆動型の電気光学素子で階調表示を行うことができる。

【0113】本発明の実施の第5の形態について、図12に基づいて説明すれば、以下のとおりである。

【0114】図12は、本発明の実施の第5の形態の表示装置における1つの画素領域Aの電気回路図である。この図12の構成は、前述の図3の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、メモリ素子として強誘電体薄膜コンデンサC1, C2が用いられるとともに、このメモリ素子と第1のアクティブ素子であるTFTQ1とが直接接続されており、代わりにメモリ素子とGNDとの間に第2のアクティブ素子であるTFTQ31, Q32が配置されていることである。この図12の強誘電体薄膜コンデンサC1, C2の使い方は、FRAM(強誘電体メモリ素子)でいうところの1T(トランジスタ)1C(コンデンサ)構成である。これによって、図3の4個のTFTP1, P2, N1, N2を使用するSRAM回路よりも、必要な回路面積を小さくすることができる。

【0115】なお、強誘電体薄膜コンデンサの製造方法は、たとえば特開2000-164818号公報および特開2000-169297号公報等に記載されているので、ここでは詳細な説明は省略する。

【0116】また、本構成では、前記強誘電体薄膜コンデンサC1, C2の一端がTFTQ1, Q2aに接続され、他端が前記TFTQ31, Q32を介して接地される。さらに前記図1および図3の基板63では、有機EL素子62の積層順序が、基板、陽極、正孔入層、正孔輸送層、発光層、電子輸送層および陰極の順で、TFTQ2をP型とし、有機EL素子62をTFTQ2とGNDとの間に挿入している。一方、この図12の構成では、基板63aに、基板、陰極、電子輸送層、発光層、正孔輸送層、正孔入層および陽極の順で積層されて構成される有機EL素子62aが用いられており、この有機EL素子62aを、N型のTFTQ2aと電源電圧VDDの参照線Rとの間に挿入している。このようにして、TFTQ2a, Q31, Q32のゲート電圧の振幅が小さくされている。

【0117】本発明の実施の第6の形態について、図13および図14に基づいて説明すれば、以下のとおりである。

【0118】図13は、本発明の実施の第6の形態の表示装置における4つの画素領域の電気回路図である。この図13の構成は、前述の図12の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、メモリ素子として1画素当たり6つの強誘電体薄膜コンデンサC1~C6が用いられていることである。また、参照線Rは行方向

24

で奇数番目の画素(図6ではA11, A21)と偶数番目の画素(図6ではA12, A22)とで共用されており、前記強誘電体薄膜コンデンサC1~C6にそれぞれ対応するTFTQ31~Q36を駆動するためのビット選択線B1~B6も、列方向で奇数番目の画素(図13ではA11, A12)と偶数番目の画素(図13ではA21, A22)とで、すなわち隣接行間で共用されており、表示領域内に占める配線領域の割合が小さくされている。参照線Rの電圧は-VDDであり、N型のTFTQ2aが用いられ、これに対応して有機EL素子62aが用いられる。

【0119】図14は、前記ビット選択線B1~B6および選択線Gi, Gi+1の波形図である。この図14の例では、1フレーム期間は128に分割されており、大略的に、1のタイミングで選択線Giがハイレベルとなり、かつビット選択線B1~B6が択一的にハイレベルとなって、i行目の各強誘電体薄膜コンデンサC1~C6にSRAM66からのデータが取込まれ、2のタイミングで選択線Gi+1がハイレベルとなり、かつビット選択線B1~B6が択一的にハイレベルとなって、i+1行目の各強誘電体薄膜コンデンサC1~C6にSRAM66からのデータが取込まれ、残余の3~128のタイミングでは選択線Gi, Gi+1はローレベルとなり、かつビット選択線B1~B6がそのビットの重みの期間だけ択一的にハイレベルとなって、各強誘電体薄膜コンデンサC1~C6のデータがTFTQ2aに出力される。

【0120】なお、上記の場合において、選択線Giがハイレベルであるとき、選択線Gi+1はローレベルであるので、i行目の各強誘電体薄膜コンデンサC1~C6にデータを書込んでいる間、i+1行目の各強誘電体薄膜コンデンサC1~C6にデータが書込まれることはない。

【0121】詳しくは、そのビットの重みに対応して、ビット選択線B1は単位期間Tだけ選択され、ビット選択線B2は期間2Tだけ選択され、ビット選択線B3は期間4Tだけ選択され、ビット選択線B4は期間8Tだけ選択され、ビット選択線B5は期間16Tだけ選択され、ビット選択線B6は期間32Tだけ選択される。また、図14の例では、前記単位期間Tを1フレーム期間の1/128としており、すなわち1フレーム期間内で、 $(128-2) / \{(1+2+4+8+16+32) \times 1\} = 2$ 回だけ、交互に選択される。

【0122】したがって、1および2のタイミングでは前記のように各強誘電体薄膜コンデンサC1~C6へのデータの取込みが行われ、3のタイミングではビット選択線B1が選択され、4~5のタイミングではビット選択線B2が選択され、6~9のタイミングではビット選択線B3が選択され、10~17のタイミングではビット選択線B4が選択され、18~33のタイミングでは

(14)

25

ビット選択線B 5が選択され、3 4～6 5のタイミングではビット選択線B 6が選択され、6 6のタイミングでは再びビット選択線B 1が選択され、…9 7～1 2 8のタイミングではビット選択線B 6が選択される。

【0123】このように構成することによって、一層の多階調化を図ることができる。

【0124】なお、図14の例では、1フレームの間に2回、同一のビット選択線を選択している。これは1フレームの間に1回だけ各ビットに対応した発光を得る方法では、PDPで問題となったのと同様な動画偽輪郭の問題が発生するからである。しかしながら、前記図4のようにさらに多数回の発光を得て、前記動画偽輪郭を一層改善するためには、MSBに近いビット（たとえばビット選択線B 6やB 5）程、選択期間を細かく分割して、1フレーム期間内に分散するようにすればよい。

【0125】また、1フレーム期間総てを発光期間とするよりも、1フレーム期間の一部を発光期間とする方が前記動画偽輪郭対策の効果と動きボケ対策の効果があるので好ましい。この非発光状態を作るためには、図13の6個の強誘電体薄膜コンデンサC 1～C 6のうちの1つへ有機EL素子6 2 aを非発光とする電圧を保持するか、またはその1つの強誘電体薄膜コンデンサに代えて、有機EL素子6 2 aを非発光とする電圧と接続された配線を用意し、その強誘電体薄膜コンデンサまたは配線を選択する動作を行うようにすればよい。

【0126】本発明の実施の第7の形態について、図15に基づいて説明すれば、以下のとおりである。

【0127】図15は、本発明の実施の第7の形態の表示装置における4つの画素領域の電気回路図である。この図15の構成は、前述の図13および図3の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、ビット選択線B 1～B 6が、B 1～B 3とB 4～B 6との2つに区分され、各行間に均等に配置されていることである。すなわち、ビット選択線B 1～B 6が隣接行間で共用される点は前記図13の構成と同様であるけれども、図13の構成ではそのビット選択線B 1～B 6が一括して共用する行間に配設されているのに対して、本構成では2つに分割して、分散して配設されている。

【0128】したがって、配線数のバランスが取れ、表示均一性を向上することができる。

【0129】なお、前記図14で示すような動作における強誘電体薄膜コンデンサC 1～C 6に対する書込み期間が、2単位時間から3単位時間となるが、その他は同様であるので、ここではその詳細は省略する。

【0130】本発明の実施の第8の形態について、図16に基づいて説明すれば、以下のとおりである。

【0131】図16は、本発明の実施の第8の形態の表示装置における2つの画素領域の電気回路図である。この図16の構成は、前述の図14の構成に類似し、対応

26

する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、3本のビット選択線B 1～B 3を用いて、その選択出力が各画素A 1 1、A 2 1内でデコードされ、強誘電体薄膜コンデンサC 1～C 8のうちの対応するものが選択されることである。このため、 $2^3 = 8$ から、前記のように8つの強誘電体薄膜コンデンサC 1～C 8を設け、また奇数番目の強誘電体薄膜コンデンサC 1、C 3、C 5、C 7に対応してはN型のTFTQ 3 1、Q 3 3、Q 3 5、Q 3 7をそれぞれ設け、偶数番目の強誘電体薄膜コンデンサC 2、C 4、C 6、C 8に対応してはP型のTFTQ 3 2 a、Q 3 4 a、Q 3 6 a、Q 3 8 aをそれぞれ設けるとともに、前記選択信号をデコードするためのTFTQ 8 1～Q 8 6を設けている。

【0132】したがって、配線領域の割合を一層小さくすることができる。

【0133】

【発明の効果】本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設け、その一部または全部の出力によって前記電気光学素子を表示駆動する。

【0134】それゆえ、一部の出力を使用して、時分割によるデジタル階調制御を行うことができ、また一部の出力と残余の出力とで異なる映像を表示することができ、全部の出力を同時に使用した場合、各ビットの出力の加算電圧や電流によってアナログ階調制御を行うことができる。

【0135】これによって、共通の信号線を使用して各ビットのデータが対応するメモリ素子に取込まれ、またそれらのビットを選択するビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。さらにまた、マルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行うと、変換に伴う電力消費も削減することができる。

【0136】また、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表

(15)

27

示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設けるとともに、各メモリ素子と前記第1のアクティブ素子および電気光学素子との間に第2のアクティブ素子を介在し、その第2のアクティブ素子をビット選択線によって択一的に選択することで、データのメモリ素子への書き込み／電気光学素子への読出しを制御する。

【0137】それゆえ、時分割によるデジタル多階調表示を実現することができ、および／または異なる映像を表示することもできる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費も削減することができる。さらにまた、異なる映像の切り換え表示にあたって、一旦メモリ素子にデータを書込んでしまえば、外部のCPU等の動作は必要なく、低消費電力で実現することができる。

【0138】さらにまた、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設けるとともに、前記第1のアクティブ素子およびその選択線も各メモリ素子に個別的に対応して設け、さらに各メモリ素子と電気光学素子との間にビット選択線によって択一的に選択される第3のアクティブ素子をそれぞれ介在する。

【0139】それゆえ、時分割によるデジタル多階調表示を実現することができ、および／または異なる映像を表示することもできる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費を削減することもできる。

【0140】また、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティ

28

ブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調数に対応したビット数個設けるとともに、第1のアクティブ素子およびその選択線も各メモリ素子に個別的に対応して設ける。

【0141】それゆえ、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0142】さらにまた、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設けるとともに、各メモリ素子に個別的に対応して、前記第1のアクティブ素子および電気光学素子と対応するメモリ素子との間に第2のアクティブ素子を介在し、この第2のアクティブ素子をビット選択線によって択一的に選択することで、対応するメモリ素子にデータを格納する。

【0143】それゆえ、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0144】また、本発明の表示装置は、以上のように、マトリクス表示装置において、前記ビット選択線を隣接行間で共用する。

【0145】それゆえ、配線面積を縮小し、一層の多階調化を図ることができる。

【0146】さらにまた、本発明の表示装置は、以上のように、前記ビット選択線を2つに区分し、各行間に分散して配設する。

【0147】それゆえ、配線数のバランスが取れ、表示均一性を向上することができる。

【0148】また、本発明の表示装置は、以上のように、前記ビット選択線の選択データをデコードするデコ

(16)

29

ード手段をさらに備える。

【0149】それゆえ、配線領域の割合を一層小さくすることができる。

【0150】さらにまた、本発明の表示装置は、以上のように、前記メモリ素子を、強誘電体薄膜コンデンサで形成する。

【0151】それゆえ、TFTなどのトランジスタを使用するSRAM回路で実現する場合よりも、メモリ素子に必要な回路面積を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態の表示装置の概略的構成を示す図である。

【図2】前記表示装置におけるSRAMの一構成例を示すブロック図である。

【図3】前記表示装置におけるメモリ素子の構成を説明するための1つの画素領域の電気回路図である。

【図4】図1の表示装置におけるビット選択線および選択線の波形図である。

【図5】本発明の実施の第2の形態の表示装置における1つの画素領域の電気回路図である。

【図6】図5の表示装置におけるビット選択線および選択線ならびに信号線の波形図である。

【図7】本発明の実施の第3の形態の表示装置における1つの画素領域の電気回路図である。

【図8】前記本発明の実施の第3の形態の表示装置において、低消費電力化を実現可能なD/A変換回路の構成を示す電気回路図である。

【図9】本発明の実施の第4の形態の表示装置における1つの画素領域の電気回路図である。

【図10】図9の表示装置におけるビット選択線および選択線ならびに信号線の波形図である。

【図11】図9の構成を用いて、電流駆動型の電気光学素子に対して、時間分割階調を用いることなく電流値を制御するようにした最も端的な構成を示す電気回路図である。

【図12】本発明の実施の第5の形態の表示装置における1つの画素領域の電気回路図である。

【図13】本発明の実施の第6の形態の表示装置における4つの画素領域の電気回路図である。

【図14】図13の表示装置におけるビット選択線および選択線の波形図である。

【図15】本発明の実施の第7の形態の表示装置における4つの画素領域の電気回路図である。

【図16】本発明の実施の第8の形態の表示装置における2つの画素領域の電気回路図である。

【図17】典型的な従来技術の表示装置の概略的構成を示すブロック図である。

【図18】図17の表示装置における各画素部の構成を詳細に示す回路図である。

【図19】他の従来技術の表示装置における各画素部の

30

構成を示す図である。

【図20】図19の表示装置におけるメモリセルの構成を詳細に示す回路図である。

【図21】さらに他の従来技術の表示装置の構成を示すブロック図である。

【図22】図21で示す表示装置における各画素の回路構成の一例を示す回路図である。

【図23】図21で示す表示装置における各画素の回路構成の他の例を示す回路図である。

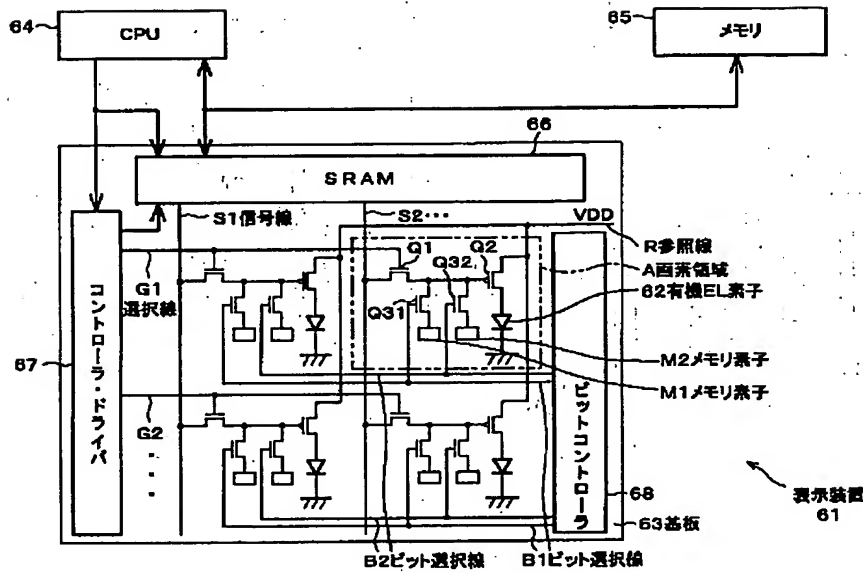
【符号の説明】

61 表示装置
62, 62a 有機EL素子 (電気光学素子)
63, 63a 基板
64 CPU
65 メモリ
66 SRAM
67 コントローラ・ドライバ
68 ビットコントローラ
71 シリアルINコントロール回路
72 シリアルOUTコントロール回路
73 パラレルOUTコントロール回路
74, 75 アドレスバッファ
76 ローデコーダ
77 カラムデコーダ
78 セレクタ
79 メモリアレイ
80, 81 ゲート
82 バッファ
91 液晶 (電気光学素子)
A 画素領域
A11, A12, A21, A22 画素
B; B1~B6 ビット選択線
C1~C8 強誘電体薄膜コンデンサ (メモリ素子)
C11, C21 コンデンサ
C12, C22 コンデンサ
G: Ga, Gb 選択線
INV1, INV2 CMOSインバータ
M1, M2 メモリ素子
P1, P2, N1, N2 TFT
Q1 TFT (第1のアクティブ素子)
Q2, Q2a TFT (電気光学素子)
Q11, Q12 TFT (第1のアクティブ素子)
Q31~Q37; Q32a, Q34a, Q36a, Q38a TFT (第2のアクティブ素子)
Q51, Q52 TFT (第3のアクティブ素子)
Q61; Q62, Q63 TFT
Q71, Q72 TFT (第2のアクティブ素子)
Q81~Q86 TFT (デコード手段)
R 参照線
R11, R12; R2, R3 抵抗

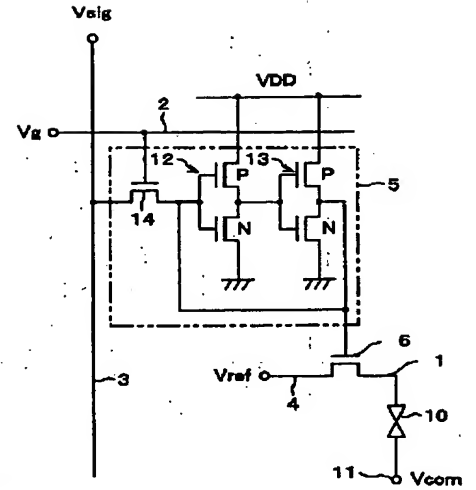
(17)

S 信号線

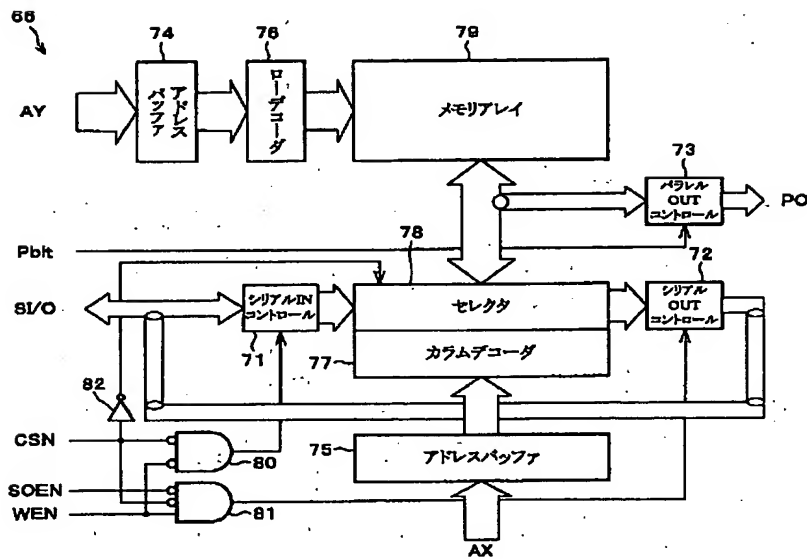
【図1】



【図18】

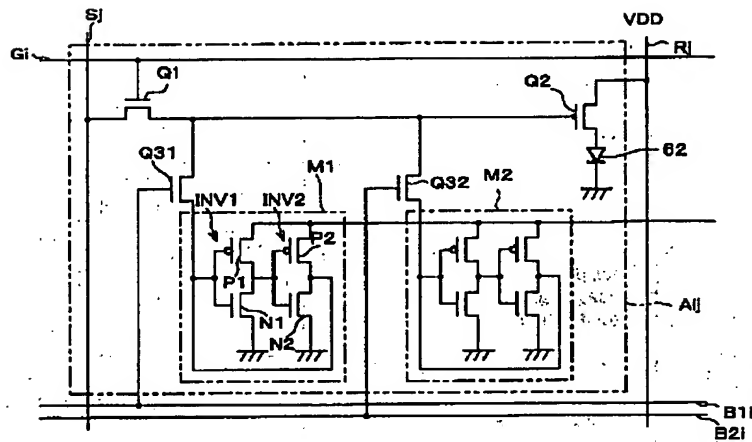


【図2】

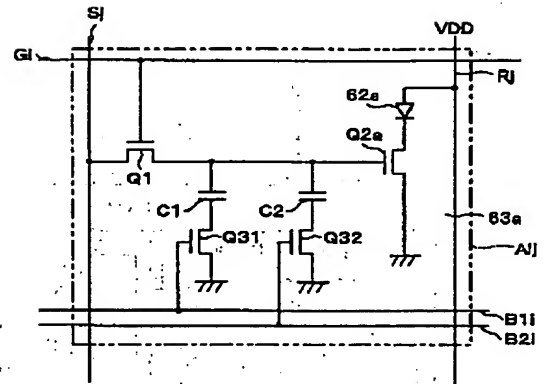


(18)

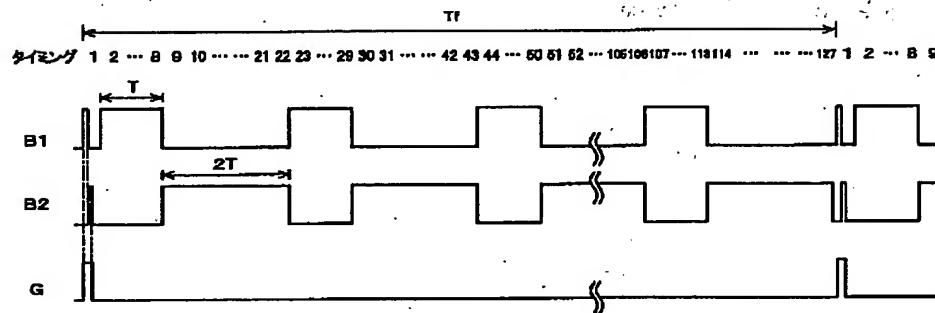
【図3】



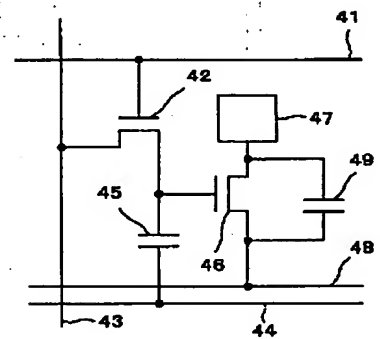
【図12】



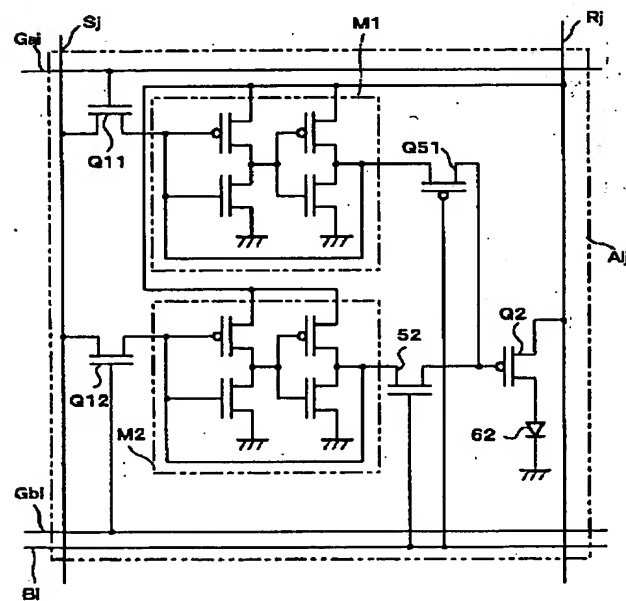
【図4】



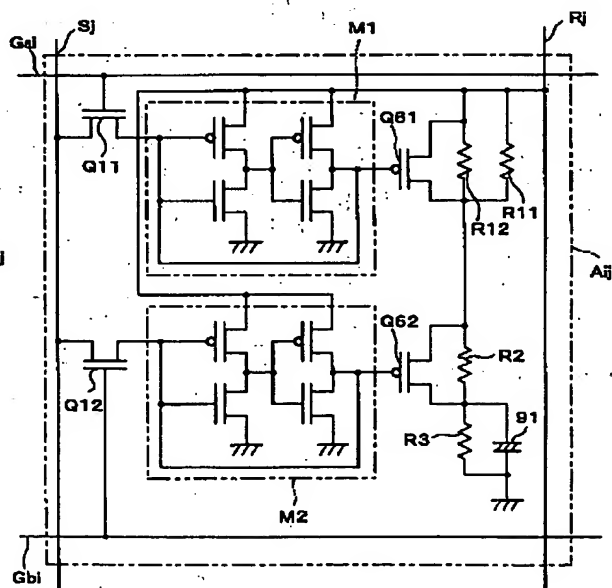
【図22】



【図5】

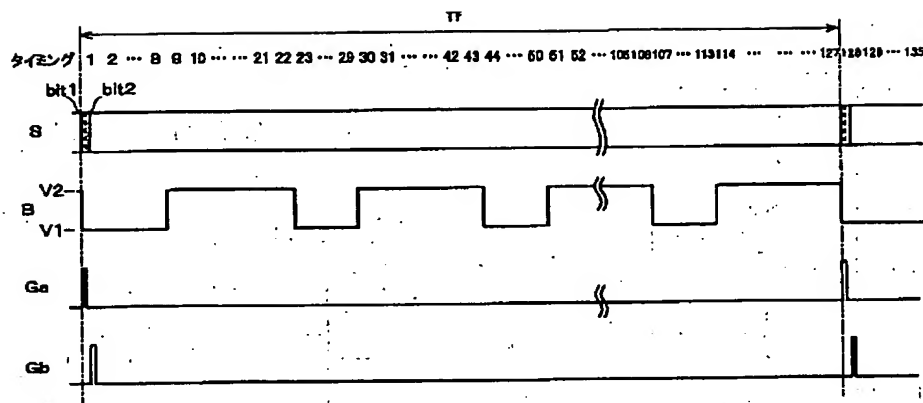


【図7】

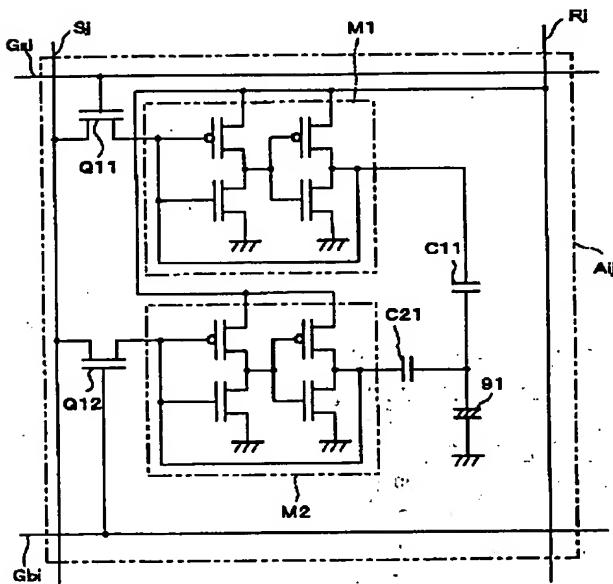


(19)

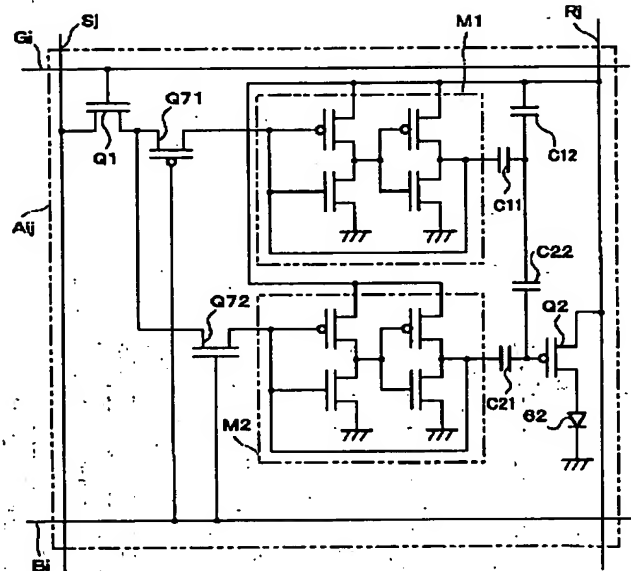
【図6】



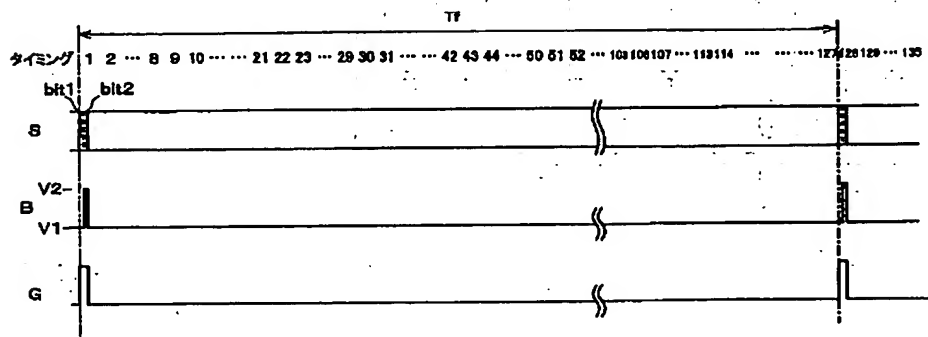
【図8】



【図9】

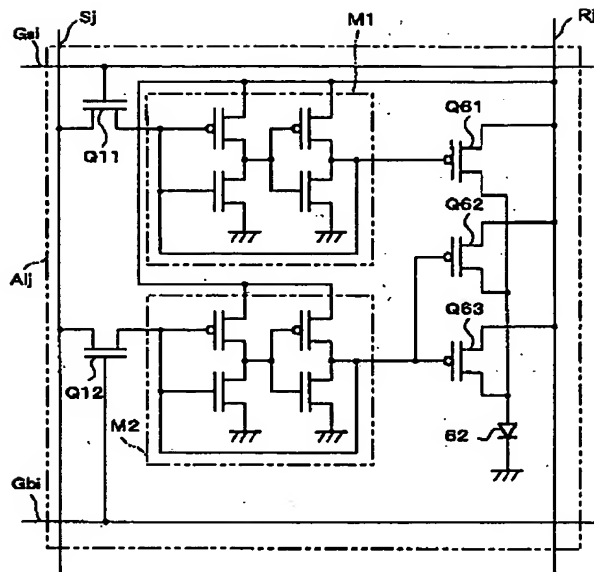


【図10】

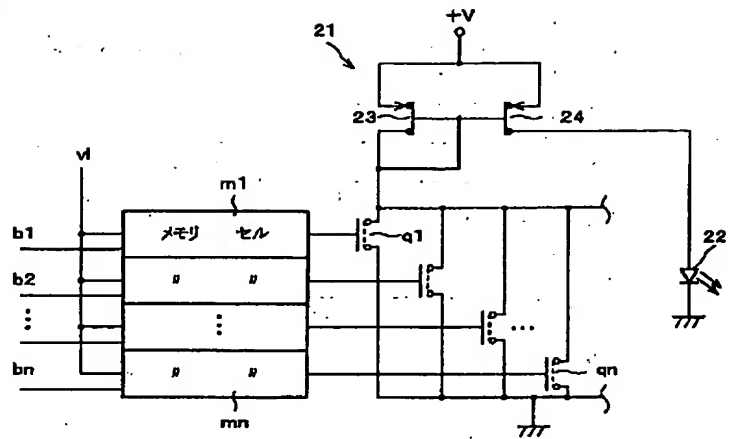


(20)

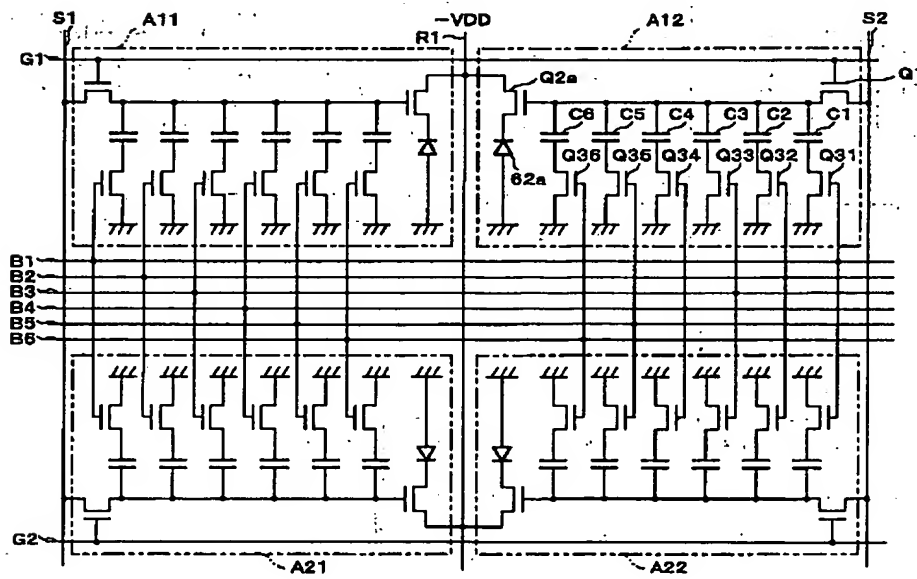
【図11】



【図19】

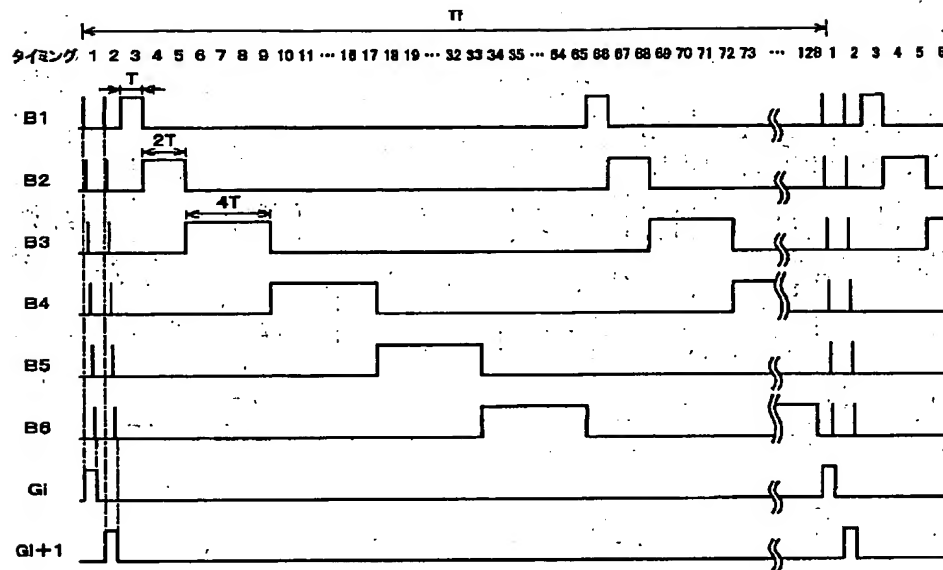


【図13】

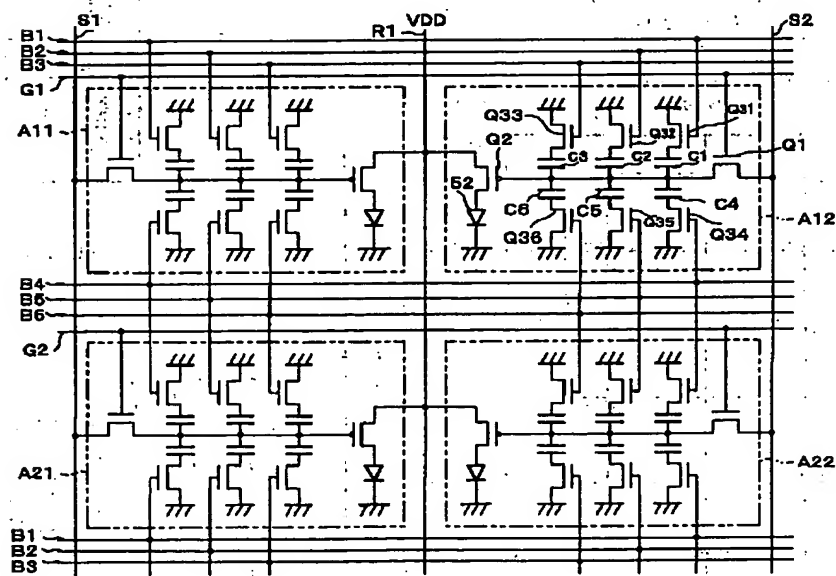


(21)

【図14】

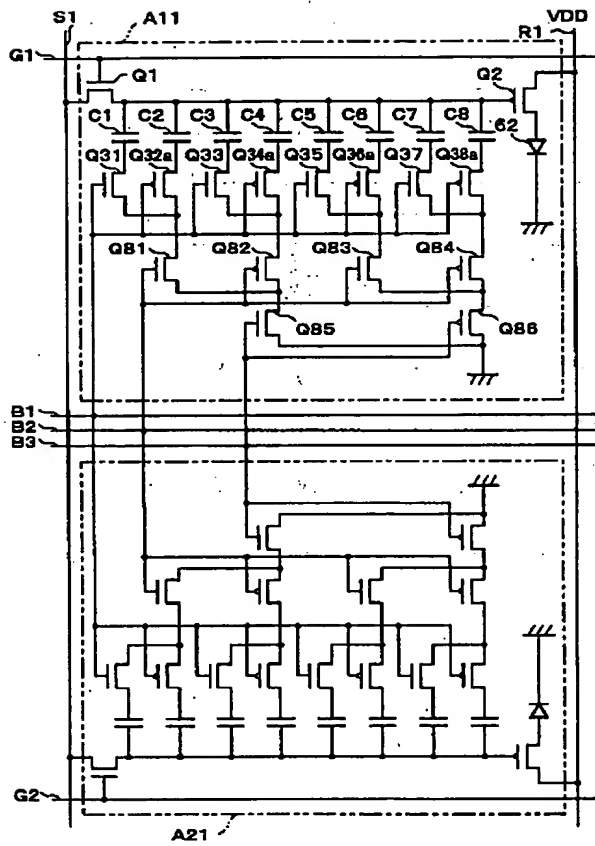


【図15】

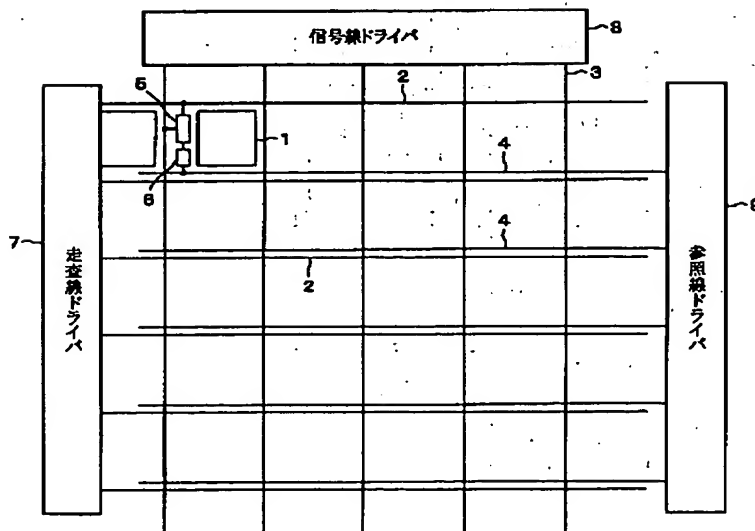


(22)

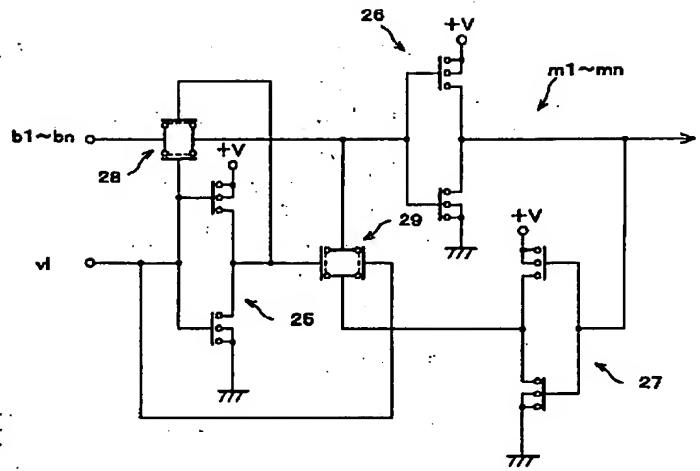
【図16】



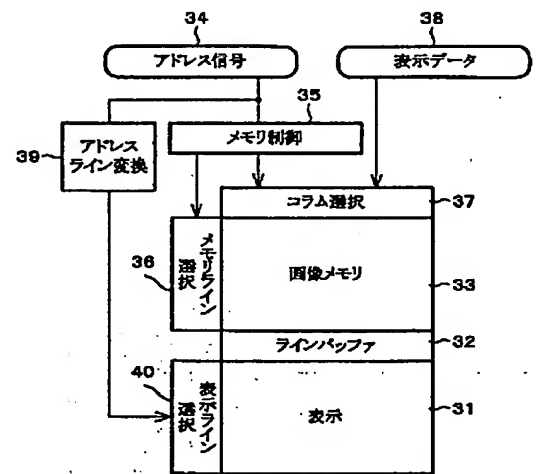
【図17】



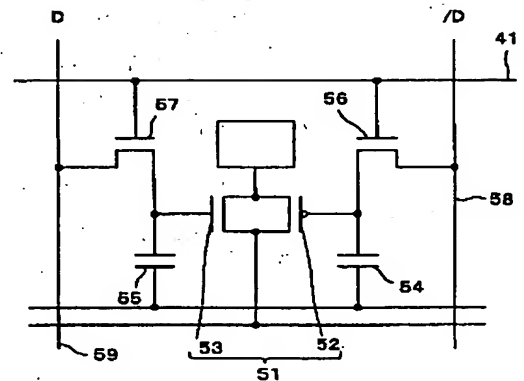
【図20】



【図21】



【図23】



(23)

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
1/1362		1/1362	
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
	3 6 5		3 6 5 Z
9/35		9/35	
G 0 9 G 3/36		G 0 9 G 3/36	

F ターム (参考) 2H092 JA24 JB41 JB61 KB13 NA25
 NA26 PA06
 2H093 NC13 NC16 NC24 NC28 NC34
 NC35 NC50 ND06 ND09 ND39
 ND42 ND49
 5C006 AA01 AA11 AF11 AF44 BB16
 BC03 BC06 BC12 BC20 BC23
 BF09 EB05 FA42 FA47 FA56
 5C080 AA06 AA10 AA18 DD23 DD26
 EE29 FF11 JJ02 JJ03 JJ04
 5C094 AA22 AA45 AA54 BA03 BA09
 BA29 BA43 DB04 EA04 EA07
 EB02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.